

# Sistema de Control de Laboratorio para Experimentos en Física Atómica

Víctor Manuel Valenzuela Jiménez  
Tesis de Maestría

10 de Agosto de 2009



# Contenido

---

<b>1</b>	<b>Introducción</b>	<b>11</b>
<b>2</b>	<b>Fuerza de Casimir-Polder</b>	<b>15</b>
2.1	Introducción . . . . .	15
2.2	Fuerza de Casimir-Polder . . . . .	16
2.3	Antecedentes de la Medición de la Fuerza de Casimir-Polder . . . . .	17
2.4	Método Propuesto para la Medición de la Fuerza de Casimir-Polder . . . . .	19
2.5	Importancia de los Resultados Experimentales . . . . .	19
2.6	Necesidad de un Sistema de Control de Laboratorio . . . . .	20
<b>3</b>	<b>Hardware de Control</b>	<b>25</b>
3.1	Especificaciones del Hardware . . . . .	25
3.2	Ventajas del Sistema de Control Propuesto . . . . .	26
3.2.1	La Tarjeta de <i>NI PCI-6533</i> de National Instruments . . . . .	27
3.2.2	El Conector <i>NI DIO32-HS</i> . . . . .	29
3.3	El <i>Buffer</i> . . . . .	31
3.3.1	Especificaciones del <i>Buffer</i> . . . . .	32
3.3.2	Especificaciones del Circuito del <i>Buffer</i> . . . . .	33
3.3.3	<i>Líneas de Datos y Dirección</i> . . . . .	35
3.3.4	<i>Línea de Estrobo</i> . . . . .	36
3.4	El <i>DAC</i> . . . . .	38
3.4.1	Diseño del <i>DAC</i> . . . . .	39
3.4.2	Especificaciones del <i>DAC7744</i> . . . . .	41
3.4.3	Circuitos Analógicos del <i>DAC</i> . . . . .	42
3.5	Salidas Digitales <i>DiO</i> . . . . .	44
3.5.1	El Circuito Impreso . . . . .	45
3.5.2	Teoría del Circuito <i>DiO</i> . . . . .	45
<b>4</b>	<b>Software de Control</b>	<b>49</b>
4.1	Introducción . . . . .	49
4.2	Formato de Datos de <i>Controlab</i> . . . . .	49
4.3	Conexión entre <i>Controlab</i> y el Hardware . . . . .	50
4.3.1	Tipo de Datos de la <i>NI PCI-6533</i> . . . . .	51
4.4	Detalles del Programa <i>Controlab</i> . . . . .	53
<b>5</b>	<b>Resultados y Conclusiones</b>	<b>55</b>
5.0.1	Perspectivas . . . . .	66
<b>A</b>	<b>Diagrama Esquemático del buffer</b>	<b>69</b>

<b>B Figuras</b>	<b>71</b>
B.1 Acetatos Positivos y Negativos del <i>buffer</i> . . . . .	71
B.2 Impresos del <i>DAC</i> . . . . .	71
B.3 Impresos del <i>DiO</i> . . . . .	75
<b>C Cotizaciones</b>	<b>77</b>
C.1 Cotización del <i>buffer</i> . . . . .	77
C.2 Cotización del <i>DiO</i> . . . . .	77
C.3 Cotización del <i>DAC</i> . . . . .	77
<b>D Etiquetas de Referencia del <i>DAC7744</i></b>	<b>83</b>
D.1 Etiquetas de referencia . . . . .	83

# Lista de Figuras

---

1-1	Diagrama esquemático del sistema de control de laboratorio. El sistema consta de una computadora llamada <i>PC de Control</i> , una tarjeta de National Instruments <i>NI PCI-6533</i> y las tres tarjetas del diseño de Scherck [1], soldadas por nosotros: un <i>buffer</i> , una tarjeta de <i>salidas analógicas</i> y otra de <i>salidas digitales</i> . . . . .	13
2-1	Fuerza de Casimir entre dos placas paralelas. El tamaño de las flechas azules representa la magnitud del número de modos del campo electromagnético. Imagen tomada del sitio: <a href="http://cientual.blogspot.com">cientual.blogspot.com</a> . . . . .	16
2-2	Fuerza de Casimir-Polder entre un átomo neutro y una superficie dieléctrica. . . . .	17
2-3	Diagrama experimental de Sukenik para la medición de la fuerza de Casimir-Polder en el 2003[8]. . . . .	18
2-4	Esquema experimental propuesto para medir la fuerza de Casimir-Polder. La figura roja representa una onda estacionaria y la azul a la nube atómica. . . . .	20
2-5	Limites de interacciones de fuerzas de corto alcance. En caso de que exista una nueva fuerza $\alpha$ corresponde a la magnitud de la fuerza y $\lambda$ su alcance. La línea roja es la mejor medición actual[13, 14] y la verde es nuestra sensibilidad proyectada. Figura adaptada de [13]. . . . .	21
2-6	Secuencia experimental de la medición de la fuerza de Casimir-Polder. . . . .	22
2-7	Secuencia experimental de la medición de la fuerza de Casimir-Polder en <i>Controlab</i> . . . . .	22
3-1	Fotografía de la <i>NI PCI-6533</i> que se encuentra instalada en la PC de Control. . . . .	28
3-2	Configuración del <i>NI PCI DIO32-HS</i> de 68 pines. . . . .	30
3-3	Fotografía del <i>buffer</i> construido para el sistema de control. . . . .	31
3-4	Impresión de la capa superior del archivo <i>buffer.brd</i> . . . . .	32
3-5	Impresión de la capa inferior del archivo <i>buffer.brd</i> . . . . .	33
3-6	Configuración de pines del conector plano de 50 líneas . . . . .	34
3-7	Diagrama esquemático de las <i>líneas de datos y de dirección</i> del <i>buffer</i> . . . . .	35
3-8	Diagrama esquemático de la <i>línea de estrobo</i> del <i>buffer</i> . . . . .	36
3-9	Relación entre la señal de estrobo <i>antes y despues del buffer</i> , la cual se utiliza para actualizar los datos en el <i>DiO</i> y <i>DAC</i> . . . . .	37

3-10	Respuesta de un monoestable individual como los mostrados en la figura 3-8. . . . .	37
3-11	Diagrama esquemático del circuito digital del <i>DAC</i> . . . . .	40
3-12	Fotografía del <i>DAC</i> del Sistema de Control de Laboratorio. . . .	40
3-13	Conexión del <i>DAC</i> a 0 V de inicio y 3 fuentes de poder: +5 V, +15 V y -15 V. . . . .	41
3-14	Circuito analógico para los voltajes de referencia del <i>DAC7744</i> . .	43
3-15	Circuito analógico para amplificar las salidas del <i>DAC</i> . . . . .	43
3-16	Fotografía del <i>DiO</i> del sistema de control. . . . .	44
3-17	Circuito electrónico de la tarjeta <i>DiO</i> . . . . .	46
3-18	Seguidor de voltaje para la salida de los canales digitales para funcionar con carga de 50 $\Omega$ . . . . .	47
4-1	Secuencia experimental de la medición de la fuerza de Casimir-Polder en <i>Controlab</i> , la cual corresponde a la secuencia temporal de la figura 2-6. . . . .	50
4-2	Matrices de <i>datos+direccion</i> y <i>estrobe</i> , que genera <i>Controlab</i> para escribir los datos en la <i>NI PCI-6533</i> . . . . .	53
4-3	Bloque 9 de <i>Controlab</i> , el cual lee y escribe los datos en la <i>NI PCI-6533</i> . . . . .	54
5-1	En esta corrida de <i>Controlab</i> se comprueba que podemos generar pulsos digitales cada 0.5 $\mu$ s. . . . .	56
5-2	En esta gráfica se analiza la estabilidad temporal de los pulsos digitales a 0.5 $\mu$ s. El Tiempo promedio de duración de los pulsos es de $0.499 \pm 0.12 \mu$ s. . . . .	56
5-3	En esta corrida de <i>Controlab</i> se comprueba que podemos generar pulsos digitales cada 100 $\mu$ s. . . . .	57
5-4	En esta gráfica se analiza la estabilidad temporal de los pulsos digitales a 100 $\mu$ s. El Tiempo promedio de duración de los pulsos es de $99.9 \pm 0.5 \mu$ s. . . . .	57
5-5	Corrida de <i>Controlab</i> para generar pulsos Analógicos a 7 V, cada 10 $\mu$ s. . . . .	58
5-6	En esta gráfica se analiza la estabilidad temporal de los pulsos analógicos a 10 $\mu$ s. El Tiempo promedio de duración de los pulsos es de $10.02 \pm 0.067 \mu$ s. . . . .	59
5-7	En esta corrida de <i>Controlab</i> se comprueba que podemos generar pulsos digitales estables de 2.8 V aproximadamente, cada 1 ms. .	59
5-8	En esta gráfica se analiza la estabilidad del voltaje digital a 1 ms. El voltaje promedio de los pulsos digitales es de $2.8 \pm 0.029$ V. . . . .	60
5-9	En esta corrida de <i>Controlab</i> se comprueba que podemos generar pulsos analógicos de 1 V cada 1 ms. . . . .	60

5-10	En esta gráfica se analiza la estabilidad del voltaje Analógico de 1 V a 1 ms. El voltaje promedio de los pulsos analógicos es de $1.00 \pm 0.003$ V. . . . .	61
5-11	En esta corrida de Controlab se comprueba que podemos generar pulsos analógicos de 5 V cada 1 ms. . . . .	61
5-12	En esta gráfica se analiza la estabilidad del voltaje Analógico de 5 V a 1 ms. El voltaje promedio de los pulsos analógicos es de $4.89 \pm 0.0079$ V. . . . .	62
5-13	En esta corrida de Controlab se comprueba que podemos generar pulsos analógicos de 10 V cada 1 ms. . . . .	62
5-14	En esta gráfica se analiza la estabilidad del voltaje Analógico de +10 V a 1 ms. El voltaje promedio de los pulsos analógicos es de $9.87 \pm 0.010$ V. . . . .	63
5-15	En esta corrida de Controlab se comprueba que las salidas analógicas son realmente independientes. Para esto se generaron pulsos analógicos constantes en el canal 1 y pulsos analógicos variables en el canal 2 cada 1 ms. . . . .	63
5-16	En esta gráfica se analiza la independencia de los canales de voltaje Analógico. El voltaje promedio del canal constante 1, es de $4.858 \pm 0.0044$ V a pesar de la variación del canal 2. . . .	64
5-17	En esta corrida de Controlab se genera una rampa de voltaje de 0 V a +10 V durante 10 ms.La rampa en lila tiene 3 pasos, la de color azul 10 pasos y la de color cafe 30 pasos. . . . .	65
5-18	En esta corrida de Controlab se genera una rampa de voltaje de -10 V a +10 V durante 6 ms.La rampa tiene 30 pasos. . . . .	65
5-19	En esta gráfica se presenta el ajuste lineal a una rampa de voltaje de -10 V a +10 V durante 10 ms.La rampa tiene 30 pasos. . .	66
A-1	Diagrama esquemático del diseño del buffer. . . . .	70
B-1	Impresión del positivo de la capa superior del archivo <i>buffer.brd</i> . . . . .	71
B-2	Impresión del positivo de la capa inferior del archivo <i>buffer.brd</i> . . . . .	72
B-3	Impresión del negativo de la capa inferior del archivo <i>buffer.brd</i> . . . . .	72
B-4	Impresión del negativo de la capa superior del archivo <i>buffer.brd</i> . . . . .	73
B-5	Impresión de la capa superior del <i>DAC</i> . . . . .	73
B-6	Impresión de la capa inferior del <i>DAC</i> . . . . .	74
B-7	Impresión de la capa de tierras del <i>DAC</i> . En esta impresión las conexiones se indican con una cruz. . . . .	74
B-8	Impresión de la capa $V_{CC}$ del <i>DAC</i> . En esta impresión las conexiones se indican con una cruz. . . . .	75
B-9	Impresión de la capa superior del <i>DiO</i> . . . . .	75
B-10	Impresión de la capa inferior del <i>DiO</i> . . . . .	76
B-11	Impresión de la capa de tierras del <i>DiO</i> . . . . .	76
B-12	Impresión de la capa $V_{CC}$ del <i>DiO</i> . . . . .	76



# Lista de Tablas

---

3.1	Costo del Sistema de Control Alternativo . . . . .	26
3.2	Costo de Nuestro Sistema de Control . . . . .	27
3.3	Componentes Electrónicas del buffer. Las diagonales /, significan que estos elementos se pueden comprar en cualquier tienda de electrónica local . . . . .	34
3.4	Direcciones de salida del DAC . . . . .	39
C.1	Cotizacion del buffer . . . . .	78
C.2	Cotizacion del DiO . . . . .	78
C.3	Componetes del DiO . . . . .	79
C.4	Cotizacion del DAC . . . . .	80
C.5	Componetes del DAC . . . . .	81
D.1	Especificaciones dell DAC7744 . . . . .	84



# 1. INTRODUCCIÓN

---

La motivación principal de este trabajo de tesis se basa en la necesidad de realizar experimentos sofisticados con átomos fríos. En particular, se tiene el interés de realizar el experimento de la medición de la *fuerza de Casimir-Polder*, es decir, la fuerza que existe entre un átomo neutro y una superficie dieléctrica a distancias del orden de micrómetros. Para poder llevar a cabo este experimento es necesario implementar un sistema de control de laboratorio, ya que para tal experimento se requiere una secuencia experimental complicada. Por tal motivo, este tipo de experimentos requieren de una automatización para poderse llevar a cabo, pues realizar este experimento manualmente sería imposible, ya que intervienen secuencias temporales del orden de micro segundos. En general, se requiere de un sistema de control que provea pulsos digitales y analógicos en un orden de microsegundos.

El hardware que compone a este sistema de control fue desarrollado parcialmente por *Florian Schreck, Todd P. Meyrath y Gerhard Hendl* para el grupo de *Mark Raizen* de la Universidad de Austin Texas, con la finalidad de llevar a cabo experimentos de condensados de Bose-Einstein (*BEC*)[1]. El diseño del hardware fue llevado a cabo por el equipo de Florian. En este trabajo se tomó el diseño de Florian y se hicieron algunas modificaciones para desarrollar el hardware. El sistema de control se encuentra esquematizado en la figura 1-1.

La organización de la tesis está dada como sigue: El primer capítulo es una introducción al trabajo de tesis, aquí queremos dar una visión general del sistema de control y sus partes, a la vez que damos una descripción breve de cada una de las partes. En el segundo capítulo se da una motivación para el desarrollo del sistema de control de laboratorio. La motivación consiste en una explicación de la importancia de una medición experimental; la medición de la *fuerza de Casimir-Polder*. Resulta que un experimento como este, requiere de la manipulación de un conjunto extenso de dispositivos electrónicos. Cada dispositivo electrónico es controlado por pulsos analógicos o digitales. Estos dispositivos requieren ser encendidos y apagados según una secuencia temporal del orden de microsegundos, por lo cual sería imposible realizar este experimento sin un sistema de control de laboratorio. En el tercer capítulo se describe el hardware que compone el sistema de control, lo cual puede servirle al lector como un manual para una futura implementación del hardware. De la figura 1-1, se ve que el sistema de control consta de una tarjeta de 32 salidas digitales dadas por una tarjeta de National Instruments (*NI PCI-6533*), la cual genera pulsos digitales que luego son enviados a otra tarjeta electrónica llamada *buffer*, la cual tiene como finalidad proteger la *NI PCI-6533* y generar una señal llamada *estrobe*. Esta señal se encarga de actualizar los datos en las otras dos tarjetas electrónicas que componen el sistema: Tarjeta de Salidas Digitales (*DiO*) y Tarjeta de Salidas Analógicas (*DAC*). El *DiO* proporciona

16 salidas digitales a +3 V y el *DAC* 8 salidas analógicas de  $-10$  V a 10 V, con 16 bits de precisión. Tanto el *DiO* como el *DAC*, pueden suministrar la corriente necesaria para una carga de  $50 \Omega$ . En teoría, con estas dos tarjetas *DiO* y *DAC*, se puede realizar cualquier experimento de física atómica. Parte de este trabajo de tesis consistió en la fabricación del circuito impreso del buffer y añadir las conexiones a tierra del diseño original de *Florian*, ya que estas conexiones no se encontraban disponibles en la página web del autor. También se soldaron los componentes electrónicos de las tarjetas *buffer*, *DiO* y *DAC*. En el cuarto capítulo se aborda el tema del software del sistema de control de laboratorio, el cual fue escrito en *LabVIEW* y consiste de un programa llamado *Controlab* que sirve de interface para la programación de la secuencia experimental a realizar, todo desde una *PC* llamada *PC de Control*. Y finalmente, en el capítulo 5 se presentan los resultados y conclusiones de este trabajo de tesis.

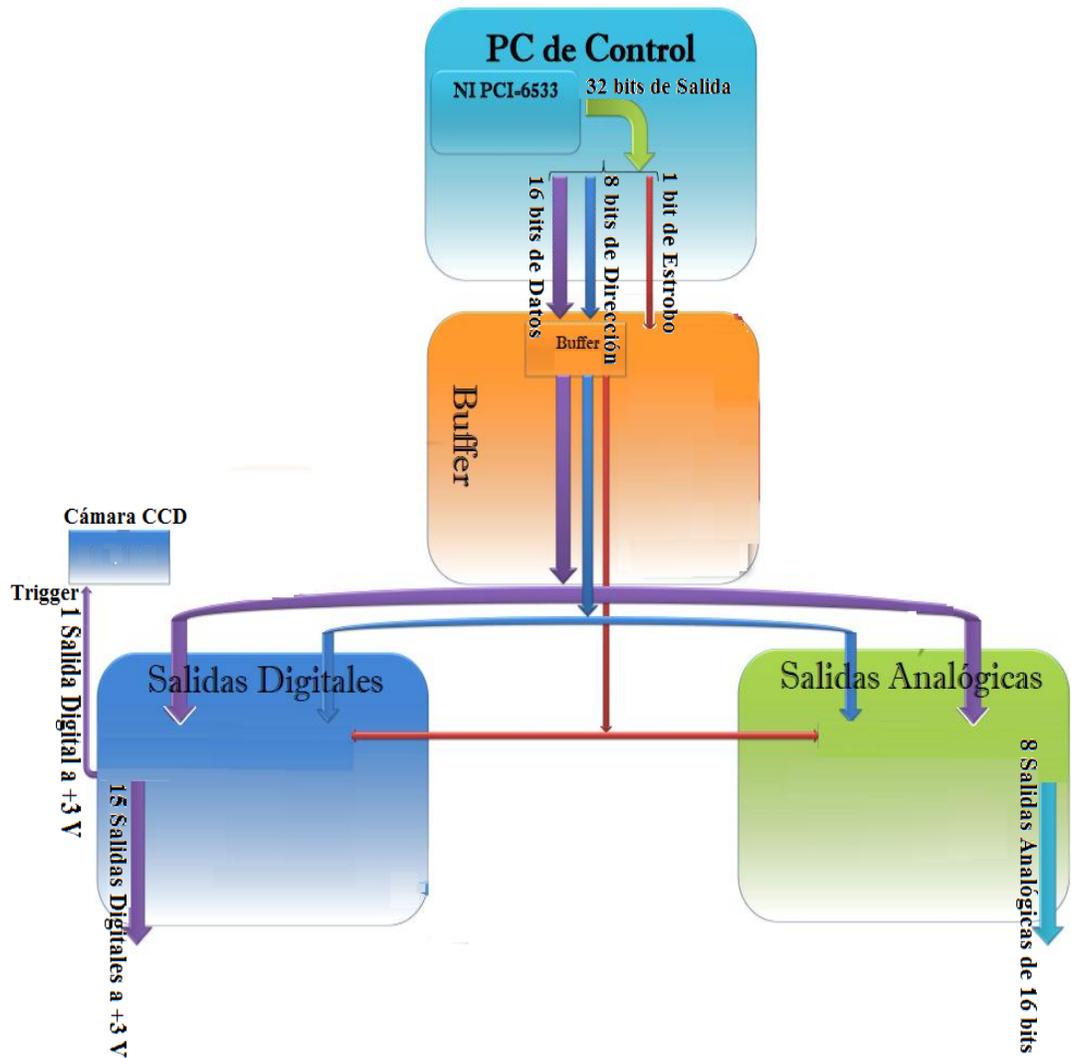


Figura 1-1 Diagrama esquemático del sistema de control de laboratorio. El sistema consta de una computadora llamada *PC de Control*, una tarjeta de National Instruments *NI PCI-6533* y las tres tarjetas del diseño de Scherck [1], soldadas por nosotros: un *buffer*, una tarjeta de *salidas analógicas* y otra de *salidas digitales*.



## 2. FUERZA DE CASIMIR-POLDER

---

En este capítulo se da una motivación para este trabajo de tesis, el cual consiste en la construcción de un sistema de control de laboratorio para realizar la medición de la fuerza de Casimir-Polder. Sin embargo, este sistema de control es muy flexible y puede utilizarse en cualquier otro experimento de física atómica. El contenido de este capítulo se incluye por completitud, mas no forma parte de este trabajo de tesis.

### 2.1 Introducción

Es bien sabido que el campo electromagnético porta una cierta cantidad de energía. Mientras más luz mayor es la cantidad de energía que porta el campo electromagnético. Sin embargo, aun en ausencia de luz, el campo electromagnético posee una energía distinta de cero. Esto es una consecuencia de la cuantización del campo electromagnético[2]. Al cuantizar el campo electromagnético aparece un hamiltoniano similar al del oscilador armónico para cada modo del campo electromagnético. La energía del estado base del oscilador armónico es distinta de cero[3] debido al principio de incertidumbre de Heisenberg:

$$E = \frac{1}{2} \hbar \omega \quad (2.1)$$

De manera analoga, la energía del estado base del campo electromagnético tiene un valor mínimo para cada modo. Si suponemos que el campo electromagnético está representado por  $n$  osciladores armónicos, uno para cada modo, entonces la energía mínima del campo electromagnético tiene el valor dado por:

$$E_{vacio} = \frac{n}{2} \hbar \omega \quad (2.2)$$

La energía mínima de la ecuación 2.2 recibe el nombre de *energía de vacío*. La energía de vacío es un fenómeno que tiene manifestaciones reales. Una de las manifestaciones más conocidas es la fuerza de atracción que sienten dos placas paralelas cuando se encuentran a una distancia del orden de micrómetros. Este fenómeno fue predicho por primera vez en 1948 por el físico teórico holandés Hendrik Casimir[4]. A dicha fuerza se le conoce como *fuerza de Casimir*.

La razón por la cual existe dicha fuerza es que al colocar dos placas paralelas en el vacío, el campo electromagnético dentro de las placas posee un número menor de modos que fuera de las placas, debido a las condiciones de frontera que introducen las placas paralelas. Por tal razón, la energía de vacío fuera de

las placas es mayor que dentro de ellas, ocasionando una fuerza neta distinta de cero que provoca la atracción entre las placas (ver figura 2-1).

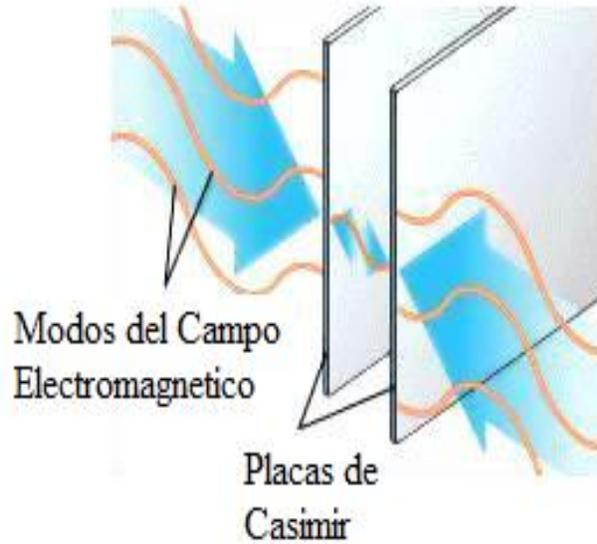


Figura 2-1 Fuerza de Casimir entre dos placas paralelas. El tamaño de las flechas azules representa la magnitud del número de modos del campo electromagnético. Imagen tomada del sitio: [cientual.blogspot.com](http://cientual.blogspot.com)

## 2.2 Fuerza de Casimir-Polder

La fuerza de Casimir es una fuerza de corto alcance y tiene mucho en común con la fuerza de van der Waals. Sin embargo, la fuerza de van der Waals siempre es atractiva, mientras que la de Casimir puede ser repulsiva dependiendo de la geometría. Por ejemplo, si cortamos en dos hemisferios una esfera conductora, los dos hemisferios experimentan una fuerza repulsiva[5].

La fuerza de Casimir por unidad de área  $A$  (*presión de Casimir*) está dada por:

$$P_C = \frac{F_C}{A} = \frac{\pi^2 \hbar c}{240d^4} \quad (2.3)$$

donde  $d$  es la distancia entre las placas. De manera similar, existen otras manifestaciones de la energía de vacío, tal es el caso de la fuerza de atracción que existe entre un *átomo neutro* y una *superficie dieléctrica* cuando se encuentran a distancias del orden de *micrómetros*. A esta fuerza se le conoce como *fuerza de Casimir-Polder*[6]. Está también es una fuerza de corto alcance y en general a la fuerza de Casimir y de Casimir-Polder, se les denomina *fuerzas de Casimir*.

La expresión para la fuerza de Casimir-Polder por unidad de área  $A$  está dada por:

$$P_{CP} = \frac{F_{CP}}{A} = \frac{3\alpha\hbar c}{2\pi d^5} \quad (2.4)$$

donde  $d$  es la distancia entre el átomo y la superficie y  $\alpha$  es la polarizabilidad del átomo (ver figura 2-2).

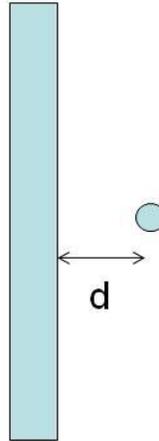


Figura 2-2 Fuerza de Casimir-Polder entre un átomo neutro y una superficie dieléctrica.

## 2.3 Antecedentes de la Medición de la Fuerza de Casimir-Polder

Desde el descubrimiento teórico de la fuerza de Casimir-Polder en 1948, no se tuvieron mediciones experimentales de tales fuerzas de Casimir, sino hasta el año de 1958. En ese año Sparnaay[7] realizó un experimento para medir la fuerza atractiva entre dos placas paralelas muy próximas, y obtuvo un resultado "*consistente*" con la predicción de Casimir, pero sus resultados tenían una incertidumbre del 100%. Esto se debió a que en aquel tiempo no se tenían técnicas ni instrumentos de medición tan sofisticados como los actuales, que permitieran medir esta fuerza con una precisión aceptable. Solo hasta los años 90 se pudieron obtener mediciones precisas de tales fuerzas. Tal es el caso de los experimentos de Sukenik[8] para la fuerza de Casimir-Polder y de Lamoreaux[9] para la fuerza de Casimir.

En la figura 2-3 se presentan el esquema experimental que usó Sukenik[8] para realizar la medición de la fuerza. En este caso se tienen dos placas paralelas

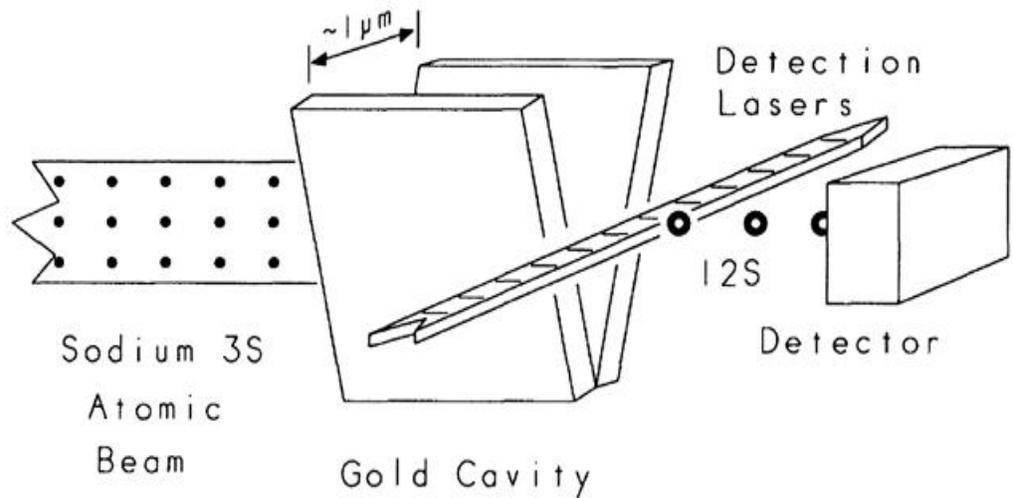


Figura 2-3 Diagrama experimental de Sukenik para la medición de la fuerza de Casimir-Polder en el 2003[8].

de oro y se hace incidir en medio de ellas un rayo de átomos de sodio, los cuales se deflecan debido a la fuerza de Casimir-Polder. Mientras tanto, Lamoreaux realizó una medición con una exactitud del 5% para la fuerza de Casimir, usando una placa plana y una esfera conductora, debido a que resulta muy difícil mantener paralelas a dos placas planas[9]. Con los trabajos de Sukenik y Lamoreaux, ha venido en aumento el interés de realizar mediciones de este tipo de fuerzas de corto alcance con gran precisión, ya que tales mediciones pueden probar la existencia de nuevas fuerzas[10, 11, 12].

La mejor medición actualmente hecha de la fuerza de Casimir-Polder utiliza un condensado de Bose-Einstein[13, 14]. El condensado se encuentra en una trampa magnética realizando oscilaciones. Estas oscilaciones se modifican debido a la presencia de una placa cerca del condensado, y por lo tanto, debido a la fuerza de Casimir-Polder. El método propuesto en este trabajo, se espera que mejore la exactitud en un factor de 30 respecto a la medición antes mencionada.

## 2.4 Método Propuesto para la Medición de la Fuerza de Casimir-Polder

El método propuesto para la medición de la fuerza de Casimir-Polder usa átomos fríos. Debido a la baja temperatura de los átomos, la exactitud se incrementará en gran medida, ya que incrementa el tiempo de la medición comparado con un haz atómico. Las técnicas de enfriado y atrapado láser se encuentran actualmente bien establecidas[15, 16, 17]. En el instituto de física ya se cuenta con una trampa magneto óptica para atrapar y enfriar átomos de rubidio. Esta trampa[18, 19] fue construida por el Dr. Eduardo Gómez y su estudiante de doctorado M.C. Lorenzo Hernández.

El método propuesto hace uso de las *oscilaciones de Bloch*. A grandes rasgos, el experimento consiste en tener dos haces propagándose en direcciones opuestas en la trampa, de tal manera que generen una onda estacionaria. Bajo ciertas condiciones los átomos atrapados van a realizar oscilaciones de Bloch[20]. Se sabe que la mayor parte del tiempo los átomos se encuentran en caída libre excepto por el corto tiempo en que se cumple la condición de Bragg y entonces los átomos se reflejan. Es por esto que las oscilaciones de Bloch se utilizan para mediciones de la aceleración gravitacional con una alta precisión[20]. Al acercarse la superficie a los átomos, la fuerza de Casimir-Polder modifica la aceleración que los átomos experimentan[11] (ver figura 2-4).

## 2.5 Importancia de los Resultados Experimentales

Algunas teorías de física más allá del *modelo estándar* predicen desviaciones de la ley gravitacional de Newton a cortas distancias. Existen muchas propuestas para estudiar tales desviaciones usando sistemas de bosones o fermiones, cambiando la geometría del sistema, etc. Por lo cual, al tener una medición más exacta, se podrán aclarar algunas cuestiones que son fundamentales para la física.

La ley de gravitación de Newton se ha comprobado muchas veces a distancias macroscópicas, pero no a distancias muy pequeñas con gran precisión. Tales mediciones pueden verificar la existencia de fuerzas no descubiertas que actuarían a estas escalas. Cualquier desviación entre el experimento y la teoría podría indicar la existencia de nuevas fuerzas o simplemente establecer nuevos límites a las teorías existentes.

Parametrizando la corrección a la fuerza gravitacional como:

$$F_G \rightarrow F_G [1 + \alpha \exp(-r/\lambda)] \quad (2.5)$$

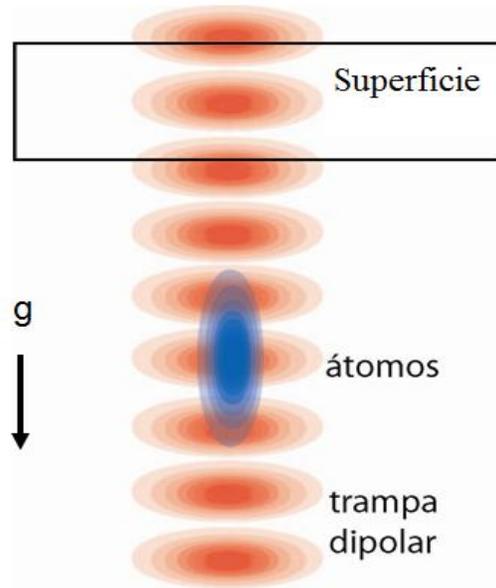


Figura 2-4 Esquema experimental propuesto para medir la fuerza de Casimir-Polder. La figura roja representa una onda estacionaria y la azul a la nube atómica.

podemos graficar los límites actuales a  $\alpha$  y  $\lambda$ , a partir de resultados experimentales como se muestra en la figura 2-5.

## 2.6 Necesidad de un Sistema de Control de Laboratorio

La razón por la cual se necesita un sistema de control de laboratorio, es para controlar los instrumentos electrónicos que intervienen en el experimento que se propone. En el caso de la medición de la fuerza de Casimir-Polder, la secuencia experimental simplificada se presenta esquemáticamente en la figura 2-6. Mientras que en la figura 2-7, se presenta la interfaz de usuario de *Controlab* equivalente a la secuencia de la figura 2-6.

Los átomos se van a atrapar y enfriar en un sistema de alto vacío de alrededor de  $10^{-9}$  torr. En el sistema de vacío se encuentra un dispensador, el cual nos proporciona el rubidio necesario y se activa mandando una corriente determinada a través del dispensador. Luego, para atrapar a los átomos, se requiere de un láser llamado *trampa*, que excite la transición cíclica así como de otro láser, llamado *rebombeador*, que regrese a los átomos que se salgan de la misma.

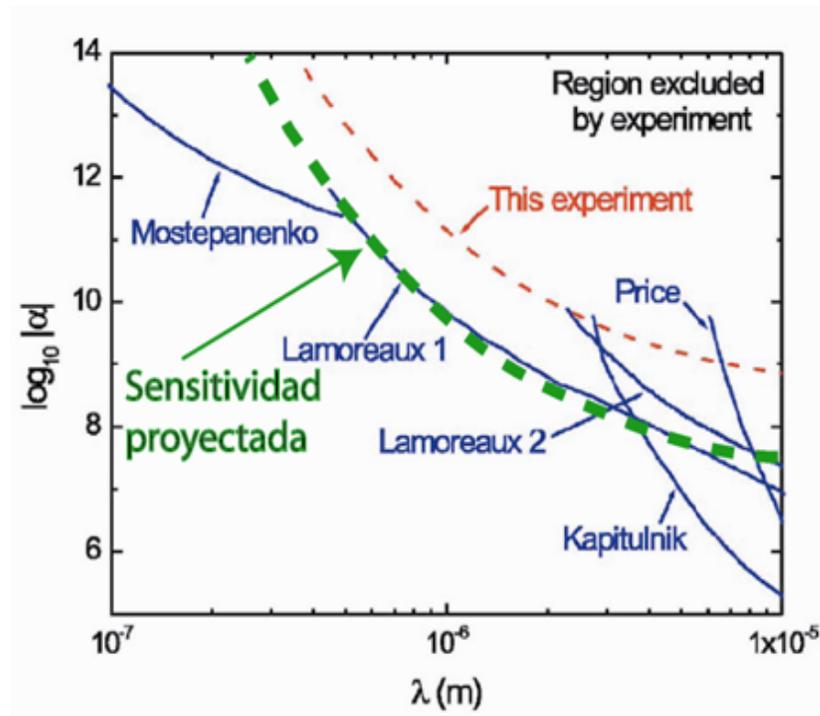


Figura 2-5 Límites de interacciones de fuerzas de corto alcance. En caso de que exista una nueva fuerza  $\alpha$  corresponde a la magnitud de la fuerza y  $\lambda$  su alcance. La línea roja es la mejor medición actual [13, 14] y la verde es nuestra sensibilidad proyectada. Figura adaptada de [13].

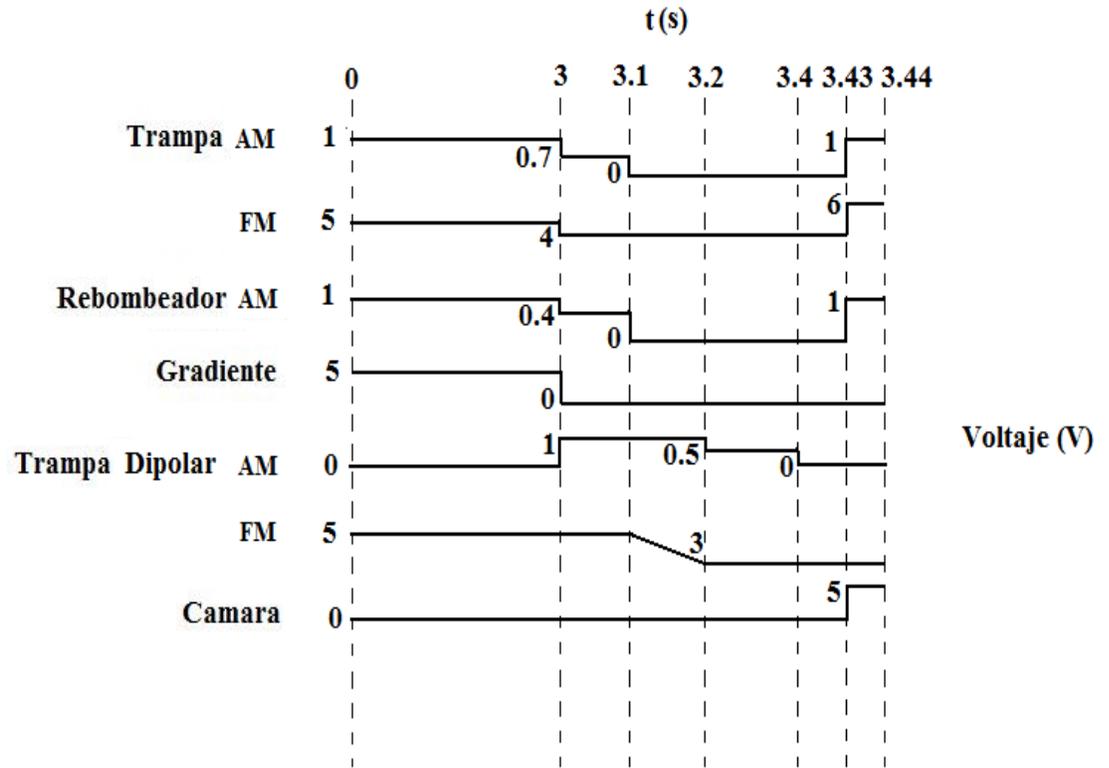


Figura 2-6 Secuencia experimental de la medición de la fuerza de Casimir-Polder.

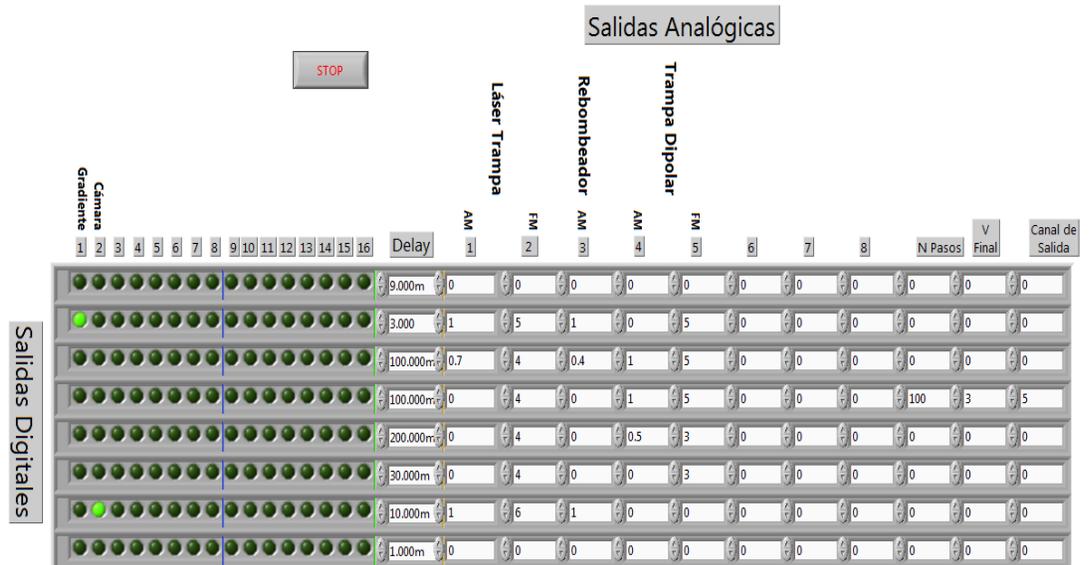


Figura 2-7 Secuencia experimental de la medición de la fuerza de Casimir-Polder en *Controlab*.

Tales pasos se realizan enviando una corriente a un *modulador acusto-óptico* que controla al láser *trampa* y al *rebombeador*, ajustando la amplitud o la frecuencia del modulador correspondiente a cada láser. De la figura 2-6 se observa que en un principio el láser *trampa* y *rebombeador* se encuentran prendidos si tenemos en el control de amplitud (*AM*) del modulador 1 V, mientras que la frecuencia del láser se ajusta con la frecuencia del modulador (*FM*), mediante un control que va de 0 V a 10 V. Enseguida, es necesario producir un gradiente de campo magnético para la trampa, el cual es generado por unas espiras magnéticas en configuración de anti Helmholtz, a través de las cuales fluye la corriente adecuada para generar tal campo (ver figura 2-6). La corriente que fluye por las espiras magnéticas está controlada por una fuente de corriente/voltaje. La fuente de corriente/voltaje tiene un panel trasero desde el cual se puede controlar la corriente que fluye por las espiras automáticamente. En este caso se envían 3 V a la fuente para producir el gradiente de campo magnético que necesitamos. El conjunto de todos los pasos anteriores es a lo que se le llama *Trampa Magneto-Óptica (MOT)* y es el primer paso de nuestra secuencia experimental que requiere un tiempo de aproximadamente 3 s (ver figuras 2-7 y 2-6).

Enseguida, se tiene el segundo paso de la secuencia experimental, donde hay que encender dos láseres que se propagan en direcciones opuestas y generan una onda estacionaria a la cual llamamos *Trampa Dipolar*. Los átomos se capturan en los valles de la onda estacionaria. De manera similar al láser trampa, los láseres de la trampa dipolar se controlan con otros moduladores acusto-ópticos (ver figura 2-6). Después de esto es necesario enfriar todavía más los átomos, lo cual se logra aplicando una *Molasa Óptica*, que consiste en alejar la frecuencia del láser trampa de la resonancia y eliminando el gradiente de campo magnético. Este paso solo nos toma 100 ms. Después de esto, hay que mover a los átomos de rubidio cerca de la superficie con la que se va a medir la fuerza de Casimir-Polder. Esto es el tercer paso de la secuencia experimental y se logra moviendo la frecuencia de los láseres de la trampa dipolar de manera continua, lo cual se hace generando una *rampa de voltaje* en el control de frecuencia de su modulador acusto-óptico de la trampa dipolar. Este paso también toma un tiempo de 100 ms. Enseguida hay que esperar a que los átomos realicen oscilaciones de Bloch en la trampa dipolar durante 200 ms. Este representa el cuarto paso de la secuencia experimental (ver figura 2-6). Después de este tiempo hay que apagar la trampa dipolar para que los átomos estén en *caída libre* durante un tiempo de 30 ms, lo cual se logra mandando 0 V al control de amplitud del modulador acusto-óptico de la trampa dipolar. Finalmente, se toma una fotografía a los átomos con una cámara *CCD*, la cual toma una fotografía cuando recibe un voltaje de 5 V. Para que la cámara pueda obtener una imagen es necesario iluminar a los átomos con luz resonante al momento de tomar la fotografía, por lo cual se prende la trampa pero con una frecuencia más cerca de la resonancia, esto es, se manda un voltaje de 6 V al control de frecuencia de su modulador (ver figura 2-6). Al tomar la fotografía, último paso del experimento, se puede medir la aceleración de los átomos

en caída libre para determinar la interacción de la fuerza de Casimir-Polder durante la caída.

En resumen, todos los pasos de la secuencia experimental requieren del envío de pulsos digitales o pulsos analógicos de  $-10$  V a  $10$  V, como la rampa de corriente por ejemplo, que vayan de un voltaje inicial a uno final tan rápido como queramos ( $N$  Pasos). Es esto lo que provee este sistema de control de laboratorio: 16 salidas digitales a  $3$  V y 8 salidas analógicas que van de  $-10$  V a  $10$  V, con una precisión de  $0.3$  mV, disponibles cada  $0.5$   $\mu$ s, para realizar cualquier secuencia experimental como la que se acaba de describir o alguna otra que sea necesaria.

## 3. HARDWARE DE CONTROL

---

### 3.1 Especificaciones del Hardware

La idea básica del sistema de control de laboratorio es tener disponibles durante una secuencia experimental, pulsos digitales y analógicos en el orden temporal que se requiera. Esto se debe a la necesidad de *encender* y *apagar* los dispositivos electrónicos que intervienen en una secuencia experimental. En este capítulo se describe la construcción del sistema.

En la figura 1-1 se encuentran las partes que forman el sistema de control. El sistema está compuesto de un computadora llamada *PC de Control*, en la cual está instalada una tarjeta de *National Instruments* modelo *NI PCI-6533* que proporciona 32 *salidas digitales* a 5 V. De las 32 líneas digitales, el sistema de control solo usa 25 de ellas. De las 25 líneas, las primeras 16 se llaman *líneas de datos*, las siguientes 8 se llaman *líneas de dirección* y la última línea se llama *línea de estrobo*. Estas 25 líneas son enviadas a una tarjeta llamada *buffer*, una tarjeta de 16 salidas digitales llamada *DiO* y una tarjeta de 8 salidas analógicas llamada *DAC*. El *buffer* tiene como finalidad redistribuir las 25 líneas en un conector plano y cambiar la señal de estrobo a una señal más adecuada, como se verá más adelante. El *DiO* y el *DAC* reciben las 25 líneas a través del cable plano que sale del *buffer*. En el *DiO* las 16 señales de datos se convierten directamente en 16 salidas digitales de  $\sim 3$  V. Esta tarjeta posee una dirección local mediante un *interruptor DIP* de 8 pines, la cual se fija a las líneas de dirección de entrada para poder recibir las 16 líneas de datos. De lo anterior, vemos que en el sistema de control podemos tener  $2^8$  tarjetas *DiO* con distintas direcciones, disponibles. La señal de estrobo se encarga de actualizar los datos en el *DiO* a una velocidad máxima de  $0.5 \mu\text{s}$ . En el *DAC* las 16 señales de datos se convierten en una sola señal analógica, por lo que se dice que el *DAC* es de 16 bits de precisión. Cada salida del *DAC* proporciona voltajes analógicos de  $-10$  V hasta  $+10$  V y los 16 bits de precisión permiten ir de un voltaje a otro en saltos mínimos del orden de 0.3 mV, si así se requiere. Esta tarjeta también posee una dirección local mediante un *interruptor DIP* de 6 pines, de los cuales, los primeros 5 bits fijan la dirección local de la tarjeta y el sexto bit fija la configuración del estrobo. Los otros tres bits de dirección seleccionan una de las ocho salidas del *DAC*. De lo anterior, se ve que el sistema de control puede poseer hasta  $2^5$  tarjetas *DAC* con distintas dirección. De nuevo la señal de estrobo se encarga de actualizar los datos del *DAC*.

/	Precio(dolares)
<i>NI PCI-6533</i>	\$1485.00
<i>NI PCI-6733</i>	\$1980.00
Total	\$3465.00

Tabla 3.1 Costo del Sistema de Control Alternativo

## 3.2 Ventajas del Sistema de Control Propuesto

El sistema que aquí se presenta no es la única manera de construir un sistema de control de laboratorio. Otra manera de hacerlo, sería tener dos tipos de tarjetas electrónicas comerciales disponibles para un experimento: unas tarjetas de entrada y salida (*I/O*) analógicas y otras *I/O* digitales. Para este propósito se pueden usar las tarjetas de National Instruments *NI PCI-653x* y *NI PCI-67xx* que proporcionan salidas digitales y analógicas, respectivamente.

Con estos dos tipos de tarjetas se cubrirían las necesidades de un sistema de control de laboratorio, como ya se mencionó. Sin embargo, una *PC* estándar solamente tiene 6 franjas *PCI*, lo cual limitaría el número de tarjetas *NI* que se pueden instalar en una *PC*, y por lo tanto, limitaría también el número de salidas digitales y analógicas disponibles en el sistema de control. Esto representa un inconveniente, ya que puede haber experimentos en los que intervengan un número de dispositivos electrónicos más grande que el número de salidas analógicas y digitales disponibles con 6 franjas *PCI*. Pero esto no representa un problema estratégico de tal sistema. Este problema se puede solucionar de dos maneras. La primera consiste en conectar en red más de una computadora y así tener computadoras *esclavas* con muchas tarjetas *NI* disponibles. Aunque esto solucionaría el número de salidas analógicas y digitales necesarias para el sistema de control, existe un problema con esta solución: Entre más tarjetas *NI* instaladas haya en una *PC*, el tiempo de respuesta entre las computadoras *esclavas* y *maestra* será cada vez mayor, lo cual representa un grave problema para lo que sería un sistema de control de laboratorio. Esto se debe a que en una secuencia experimental, un factor muy importante es el tiempo de respuesta entre un dispositivo electrónico y otro, ya que la sincronía de los dispositivos electrónicos es la parte fundamental de un sistema de control de laboratorio efectivo.

Aunque el problema anterior se puede solucionar a través de una configuración efectiva de la red de computadoras o de las tarjetas mismas, todavía existe otro problema: *El costo del sistema*. Construir un sistema de control alternativo al propuesto en este trabajo, requiere de la compra de varias *PC*, varias tarjetas de *I/O* digitales *NI PCI-653x*, varias tarjetas *I/O* analógicas *NI PCI-67xx*. Hacer esto representa un gasto considerable para un pequeño presupuesto, como es el caso de muchos laboratorios del país. Solo para tener una idea, se presenta el presupuesto estimado de un sistema así (ver Tabla 3.1).

/	Precio(dolares)
<i>NI PCI-6533</i>	\$1485.00
16 salidas digitales	\$50.00
8 salidas analogicas	\$135.00
Total	\$1670.00

Tabla 3.2 Costo de Nuestro Sistema de Control

Las dos tarjetas de National Instruments de la tabla 3.1 representan el equivalente al número mínimo de salidas digitales y analógicas disponibles en el sistema de control propuesto; 16 salidas digitales y 8 salidas analógicas, con las mismas características que las de *NI*.

Para tener una idea de que tan caro es este sistema de control respecto al propuesto, se añade una cotización del gasto que se realizó para la construcción de 16 salidas digitales y 8 salidas analógicas, para el sistema de control propuesto (ver tabla 3.2, C.1, C.2 y C.4)

De lo anterior, se puede notar que la diferencia de precios es aproximadamente la mitad. Pero esto no es todo, el sistema que aqui se propone es más *flexible* y mucho menos caro. El sistema de control propuesto está sujeto a una sola tarjeta de salida digital *NI PCI-6533* de National Instruments y proporciona 8 salidas analógicas y 16 salidas digitales, con la ventaja que se puede extender el numero de salidas del sistema con mas tarjetas adicionales *DiO* y *DAC*, sin necesidad de comprar más tarjetas de *NI*. Esto se debe a que una sola tarjeta de *NI* puede controlar en el sistema de control varias tarjetas *DiO* y *DAC*, ya que cada una tiene una dirección local diferente. Por lo cual, se pueden controlar hasta  $2^8 \times 2^4 = 2^{12}$  salidas digitales, por que la dirección local del *DiO* es de 8 bits ( $2^8$ ) y cada *DiO* posee 16 ( $2^4$ ) salidas digitales. De igual modo se pueden tener  $2^5 \times 2^3 = 2^8$  salidas analógicas, ya que en este caso, la dirección local de cada tarjeta *DAC* es de solo 5 bits ( $2^5$ ) y cada *DAC* proporciona 8 salidas ( $2^3$ ) solamente. Además no se pone en peligro la velocidad del sistema del control, ya que la única tarjeta que estaría instalada en la *PC de Control* sería la *NI PCI-6533* y se encontraría trabajando con su propio reloj interno. Si se realizara una nueva cotización con las  $2^8$  tarjetas *DiO* y las  $2^5$  tarjetas *DAC* que se pueden tener disponibles en el laboratorio, la diferencia de precios entre ambos sistemas se volvería bastante atractiva.

### 3.2.1 La Tarjeta de *NI PCI-6533* de National Instruments

El sistema de control comienza con la generación de pulsos digitales en un orden temporal. Estos pulsos digitales son generados por la *NI PCI-6533* de National Instruments, la cual tiene como característica que las líneas digitales son de salida y entrada (*I/O*) y pueden transferir 32 *bits* (5 V *TTL/CMOS*) con un ciclo de reloj máximo de 2 MHz para los demás dispositivos electrónicos[21].

Los pulsos son etiquetados como *BAJO* si el voltaje es de 0 V o *ALTO* si es de 5 V. Esta tarjeta se encuentra instalada en una *PC* llamada *PC de Control*.

En general, un pulso digital TTL de entrada, se considera *BAJO* si está en el rango de 0 V a +0.8 V y *ALTO* si se encuentra entre +2.0 V y +5 V.

La *NI PCI-6533* contiene 32 líneas de datos digitales que se pueden configurar individualmente como entrada o como salida, las líneas están agrupadas en 4 puertos de 8 bits cada uno, llamados *DIOA0-DIOA7* los del puerto 0, *DIOB0-DIOB7* los del puerto 1, *DIOC0-DIOC7* los del puerto 2 y *DIOD0-DIOD7* los del puerto 3. Cada línea puede proveer 24 mA de corriente, es decir, con una carga mínima de 200  $\Omega$  a la salida.

Para que la tarjeta funcione correctamente es necesario instalar los drivers adecuados en la *PC de Control*. Los drivers de la *NI PCI-6533*, son los llamados *NI-DAQmx*. El driver *NI-DAQmx* contiene una extensa librería de funciones que uno puede utilizar en una amplia gama de lenguajes de programación, como son: *LabVIEW*, *LabWindows/CVI*, *C* y *Measurement Studio* para *Visual Basic* y *VB.NET* [22]. Debido a esto, su respectiva programación es bastante flexible en los lenguajes de programación mas comunes. En la figura 3-1 se presenta una fotografía de la *NI PCI-6533* que está instalada en la *PC de Control*.

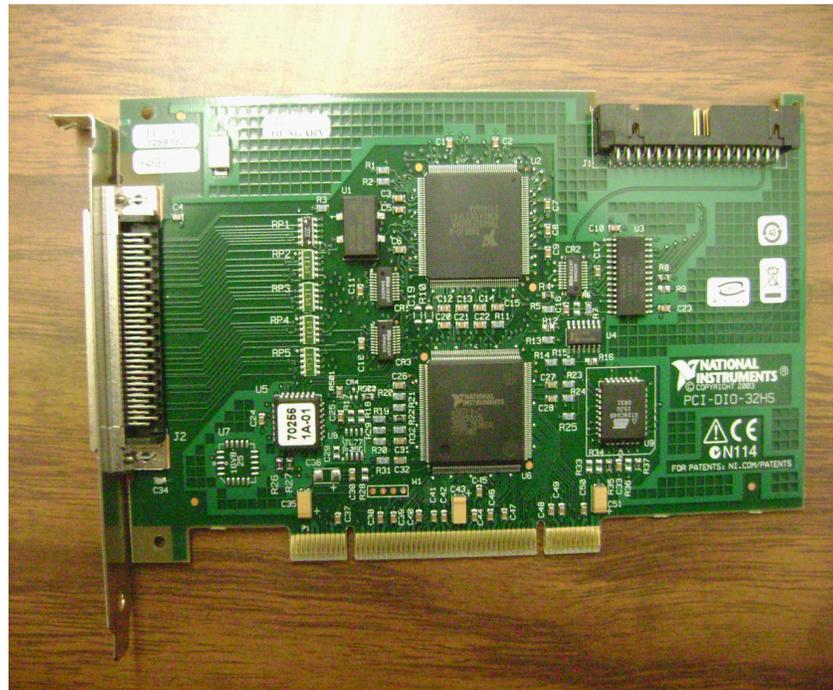


Figura 3-1 Fotografía de la *NI PCI-6533* que se encuentra instalada en la *PC de Control*.

## Características del Software *NI DAQmx*

- La librería de adquisición de datos *VI* de *LabVIEW*, contiene una serie de instrumentos virtuales (*VI*s) para usarse en *LabVIEW*.
- *LabWindows/CVI* es una librería completa de *ANSI C* que proporciona una interface de usuario interactiva, herramientas de generación de código fuente, y las adquisición de datos con *LabWindows/CVI* y librerías adicionales para dispositivos *I/O*.
- *Measurement Studio*, incluye herramientas para *Visual C++* y para *Visual Basic*, que permiten aplicaciones de prueba y de medición. Para los desarrolladores en *Visual Basic*, *Measurement Studio* contiene un conjunto de controles *ActiveX* para usarlos en la *NI PCI-6533*. Para los desarrolladores en *Visual C++*, *Measurement Studio* ofrece un conjunto de clases y herramientas de *Visual C++*.

En general, el uso de cualquiera de estas herramientas: *LabVIEW*, *LabWindows/CVI*, o *Measurement Studio* reducen en gran medida el tiempo de escritura de las aplicaciones para el control de instrumentos.

## Instalación de la *NI PCI-6533*

Para la instalación de la *NI PCI-6533*, hay que referirse al manual de instalación[22]. Una vez instalada la *NI PCI-6533*, hay que instalar los drivers *NI DAQmx* en la *PC de Control* según las especificaciones que vienen en el *CD de instalación*[22]. Para el sistema de control propuesto se ha instalado el *NI DAQmx* en *Windows*, y en este caso junto con los drivers *NI DAQmx*, viene un software llamado *Measurement & Automation Explorer (MAX)*, el cual también se instaló en la *PC de Control*. La *NI PCI-6533* se configura automáticamente en *MAX*[22].

El programa *Controlab* que se detalla en el capítulo 4, se encarga de generar las señales digitales en la *NI PCI-6533* en un orden temporal con una resolución de  $0.5 \mu s$ , ya que este es el ciclo de reloj máximo para la *NI PCI-6533*. La secuencia temporal de pulsos digitales de la salida de la *NI PCI-6533* son enviados a las otras tarjetas de salida: *DiO* y *DAC*, a través de un conector especial de National Instruments modelo *NI PCI DIO32-HS*.

### 3.2.2 El Conector *NI DIO32-HS*

El *NI PCI DIO32-HS* es el cable de salida de la *NI PCI-6533*. La salida del *NI PCI DIO32-HS* está dada en la figura 3-2.

Se ha añadido un adaptador a la salida del conector *NI PCI DIO32-HS* para poder ensamblar los pines en el buffer. La figura 3-2 contiene las etiquetas de referencia de los 68 pines de *NI PCI DIO-32HS*, las cuales deben de usarse

DIOD7	34	68	GND
GND	33	67	DIOD6
DIOD4	32	66	DIOD5
DIOD3	31	65	GND
GND	30	64	DIOD2
DIOD0	29	63	DIOD1
DIOC7	28	62	GND
GND	27	61	DIOC6
DIOC4	26	60	DIOC5
DIOC3	25	59	GND
GND	24	58	DIOC2
DIOC0	23	57	DIOC1
DIOB7	22	56	RGND
DIOB6	21	55	GND
GND	20	54	DIOB5
RGND	19	53	DIOB4
GND	18	52	DIOB3
DIOB1	17	51	DIOB2
DIOB0	16	50	GND
DIOA7	15	49	GND
GND	14	48	DIOA6
DIOA4	13	47	DIOA5
DIOA3	12	46	GND
GND	11	45	DIOA2
DIOA0	10	44	DIOA1
REQ2*	9	43	RGND
ACK2 (STARTTRIG2)*	8	42	GND
STOPTRIG2	7	41	GND
PCLK2	6	40	CPULL
PCLK1	5	39	GND
STOPTRIG1	4	38	DPULL
ACK1 (STARTTRIG1)*	3	37	GND
REQ1*	2	36	GND
+5 V	1	35	RGND

Figura 3-2 Configuración del NI PCI DIO32-HS de 68 pines.

para realizar un adecuado manejo de las señales de salida de la *NI PCI-6533*. Lo que sigue ahora, es el hardware a donde se envían estos 32 bits de datos, para generar los pulsos analógicos y digitales como se requieren.

Este sistema de control usa los puertos 0, 1 y 2 completamente y solo usa la salida *DIODO* del puerto 3, mientras que no se hace uso de ninguna de las otras salidas de la figura 3-2.

### 3.3 El *Buffer*

Esta tarjeta fue diseñada por *Gerhard Hendl* del Instituto de información y óptica cuántica de la Academia de Ciencias de Austria en Innsbruck [1].

La tarjeta tiene varias funciones: es un adaptador entre el cable *NI DIO32-HS* y un conector plano de 50 pines, para hacer más manejables las líneas de datos. Además, se encarga de generar adecuadamente la señal de estrobo y de proteger la *NI PCI-6533*.

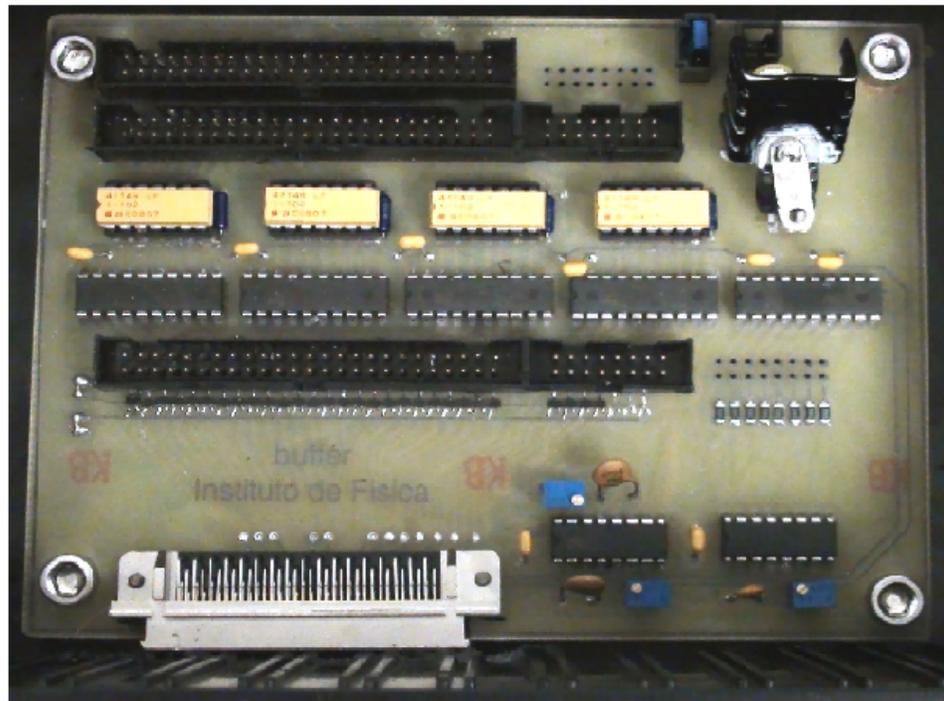


Figura 3-3 Fotografía del *buffer* construido para el sistema de control.

Como parte de este trabajo, se tomó el diseño de *Gerhard Hendl* y se modificó para poder obtener el circuito impreso del *buffer* con la tecnología disponible en el *IICO* (Instituto de Investigación en Comunicación Óptica).

También, se tuvieron que añadir las conexiones a tierra, pues no se encontraban incluidas dentro del diseño original de la tarjeta, probablemente debido a que el autor consideraba incluirlas en una capa separada. Una vez fabricado el circuito impreso del *buffer*, se soldaron todas las componentes electrónicas del mismo. En la figura 3-3 se presenta una fotografía del *buffer* que se construyó como parte de este trabajo.

### 3.3.1 Especificaciones del *Buffer*

Para la modificación del *buffer* se utilizó el software *Eagle CadSoft* [23]. Como parte de la modificación se redistribuyeron las pistas y se añadieron las conexiones a tierra. Las conexiones a tierra no están incluidas en las figuras 3-4 y 3-5, sino que fueron conectadas mediante cables externos. Estas conexiones serán añadidas en el diseño del *buffer* en versiones futuras. El proceso para fabricar este circuito impreso comenzó con la generación de los archivos *buffer.brd* y *buffer.sch* en *Eagle Cadsoft*. En las figuras 3-4 y 3-5 se muestran las impresiones a una escala de 61.36% de los archivos *.brd* que se generaron para la capa inferior y superior, respectivamente.

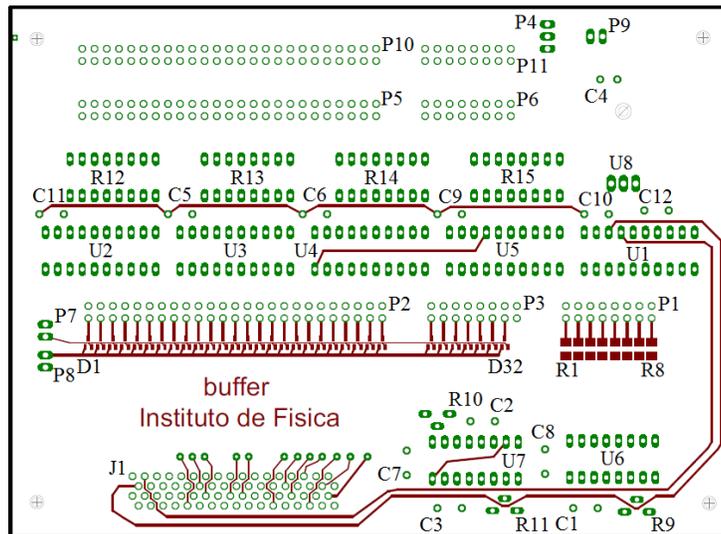


Figura 3-4 Impresión de la capa superior del archivo *buffer.brd*.

A partir de los archivos *.brd* de las figuras 3-4 y 3-5, se generaron los *archivos* para la máquina perforadora. Este archivo contiene las coordenadas y dimensiones de las perforaciones que se van a realizar en la tableta.

Luego, a partir de los archivos de la capa superior e inferior del archivo *buffer.brd* se necesitan imprimir 4 *acetatos*. Estos acetatos son necesarios para imprimir las pistas en la tableta una vez que se hayan realizado las perforaciones similar a las técnicas de revelado fotográfico. Los acetatos necesarios

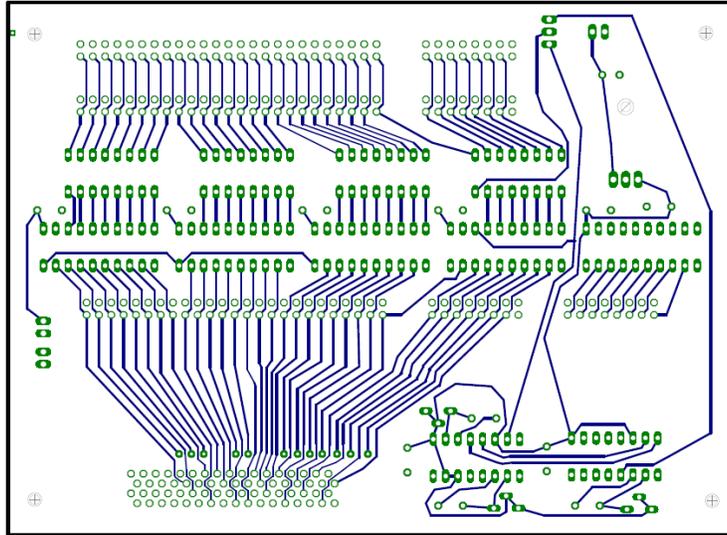


Figura 3-5 Impresión de la capa inferior del archivo *buffer.brd*.

son: *acetato positivo de la capa inferior*, *acetato positivo de la capa superior*, *acetato negativo de la capa inferior* y *acetato negativo de la capa superior*. Las impresiones de los acetatos positivos y negativos se presentan en el apéndice B.

Una vez impresa la tarjeta del buffer físicamente, se soldan las componentes electrónicas del *buffer* (ver tabla 3.3). Las componentes del *buffer* están especificados por el autor, pero en nuestro caso, se tuvieron que cambiar algunas componentes por sustitutos, ya que algunos no estaban disponibles o estaban descontinuados, etc. Las componentes electrónicas del *buffer* de este sistema se presentan en la tabla 3.3.

En el apéndice A se presenta el diagrama esquemático (ver figura A-1) del *buffer* proporcionado por el autor, el cual repite muchos circuitos que pueden entenderse mejor si se analizan por separado cada uno. Empecemos por entender que le hace el *buffer* a una *línea de datos*, luego a una *línea de dirección* y finalmente a la *línea de estrobo*.

### 3.3.2 Especificaciones del Circuito del *Buffer*

Las señales de salida de la *NI PCI-6533* llegan al *buffer* a través de un conector plano de 50 pines modelo *1-5103308-0*, etiquetado con *P2* (ver figura 3-4), el cual tiene la configuración de pines mostrada en la figura 3-6:

Como es posible observar, las 25 líneas inferiores de la *NI PCI-6533* se separan en tres tipos: 16 líneas para los *datos*, 8 líneas para la *dirección* y 1 línea para el *estrobo* (ver figura 3-6). La correspondencia que hay entre el conector plano de 50 líneas y el conector *NIDIO32 – HS* es que las líneas

Etiqueta	Descripción	No. de manufactura
<i>C1</i>	Capacitor Ceramico 100 pF	/
<i>C2-C3</i>	Capacitor Ceramico 470 pF	/
<i>C4</i>	Capacitor Ceramico 220 pF	/
<i>C5-C12</i>	Capacitor Ceramico 0.1 $\mu$ F	<i>1C10X7R104K100B</i>
<i>D1-D32</i>	Diodo Schottky	<i>1PS70SB14</i>
<i>P1,P3,P6,P11</i>	Conector 8 $\times$ 2	<i>5103308-3</i>
<i>P7-P8,P9</i>	Conector 2 $\times$ 1	<i>70543-0001</i>
<i>P4</i>	Conector 3 $\times$ 1	<i>70543-0002</i>
<i>P2,P5,P10</i>	Conector 25 $\times$ 2	<i>1-5103308-0</i>
<i>R1-R8</i>	Resistor 10 k $\Omega$ 1206 <i>pkg</i>	<i>CRCW120610K0FKTA</i>
<i>R9-R11</i>	Potenciómetro 2 k $\Omega$	<i>3266W-1-202</i>
<i>R12-R15</i>	Resistor Network 1 k $\Omega$	<i>4114R-1-102LF</i>
<i>U1-U5</i>	Buffer Octal Bus	<i>M74HCT541B1R</i>
<i>U6-U7</i>	Multivibrador 16– <i>DIP</i>	<i>M74HC123B1R</i>
<i>U8</i>	Regulador de Precisión 5 V	<i>L7805ABV</i>
/	Cable Ribbon 50 Líneas	<i>NE1450-36-ROHS</i>
/	Jumper 0.1 in	<i>65474-001</i>
/	Caja para Montar la Tarjeta	/
/	Monturas para <i>DIP pkg</i>	/

Tabla 3.3 Componentes Electrónicas del buffer. Las diagonales /, significan que estos elementos se pueden comprar en cualquier tienda de electrónica local



Figura 3-6 Configuración de pines del conector plano de 50 líneas

*DIOA0-DIOA7* representan las líneas 1, 3, 5, 7, 9, 11, 13 y 15 de datos, las líneas *DIOB0-DIOB7* representan las líneas 17, 19, 21, 23, 25, 27, 29 y 31 también de datos, las líneas *DIOC0-DIOC7* representan las líneas 33, 35, 37, 39, 41, 43, 45 y 47 de la dirección y finalmente, la línea *DIOD0* representa la línea 49 de estrobo.

### 3.3.3 Líneas de Datos y Dirección

Todas las *líneas de datos* son tratadas de manera similar en el *buffer*, al igual que las *líneas de la dirección*. Debido a esto, se tratan en esta sección ambas señales sin hacer distinción entre ellas. Estas líneas suman 24 pines: 16 de datos y 8 de dirección.

Se dará seguimiento a la línea de datos *DIOA0*, sin pérdida de generalidad. La línea de datos *DIOA0* es generada por la *NI PCI-6533* desde *Controlab*, el cual consiste de un pulso digital de 0 V o 5 V.

En la figura 3-7 se presenta un diagrama esquemático del viaje del pulso de la línea *DIOA0* hasta llegar a su destino final al conector plano con etiqueta *P5* o *P10* de 50 pines (ver figura 3-4).

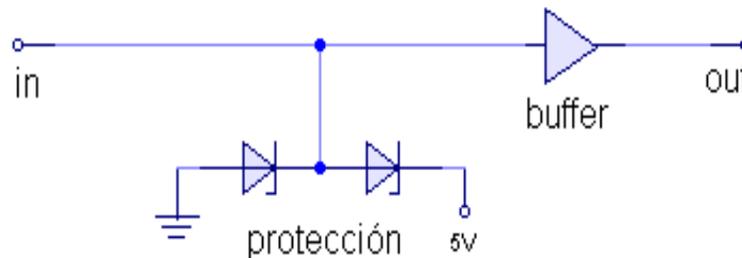


Figura 3-7 Diagrama esquemático de las *líneas de datos y de dirección* del *buffer*.

Al *buffer* lo suministra una fuente de poder *DC* a 8 V, el voltaje *DC* es regulado y filtrado a 5 V por un regulador de 5 V de precisión modelo *L7805ABV* y un capacitor electrolítico de 220  $\mu\text{F}$ , respectivamente. Además, las líneas de alimentación  $V_{CC}$  de los buffer modelo *M74HCT541B1R*, están equipadas con un capacitor de 0.1  $\mu\text{F}$ , etiquetados por *C5* hasta *C12* (ver figura 3-4), y son necesarios para filtrar la señal de entrada en cada buffer del circuito.

Primero, la línea *DIOA0* llega a un diodo Schottky modelo *1PS70SB14* que cumple propósitos de protección para la *NI PCI-6533*[24]. Después del diodo, la línea *DIOA0* llega a un buffer (*M74HCT541B1R*), el cual se encarga de restituir y aislar la señal de la tarjeta. Para ver detalles sobre

conexiones alternativas a este esquema, vayase a la hoja de especificaciones del *M74HCT541B1R*[24].

Después del buffer la línea *DIOA0* pasa por una resistencia modelo *4114R-1-102LF* de 1 k $\Omega$  para limitar la corriente. Finalmente, la línea *DIOA0* llega al conector plano de 50 líneas con etiquetas *P5* o *P10* (ver figura 3-4) que se encuentra a la salida, del cual se obtienen las salidas para cable plano de 50 líneas que serán enviadas al *DiO* y al *DAC*.

### 3.3.4 Línea de Estrobo

La señal de estrobo llega al *buffer* a través de la línea *DIOD0* que se encuentra en el conector plano con etiqueta *P2* (ver figura 3-4). La línea de estrobo tiene un tratamiento distinto a las líneas de datos y de dirección.

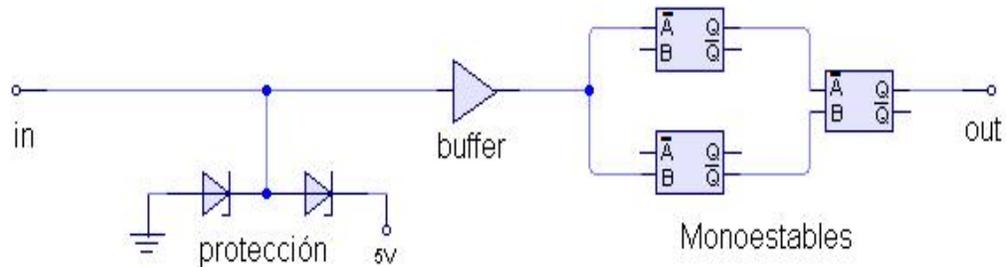


Figura 3-8 Diagrama esquemático de la línea de estrobo del *buffer*.

La primera parte del tratamiento de la línea *DIOD0* es análoga a la de la figura 3-7 que ya se explicó. Enseguida la línea *DIOD0* pasa a través de tres multivibradores monoestables *U7* modelo *M74HC123AB1R* (ver figura 3-8), los cuales tienen como finalidad generar una señal de estrobo más adecuada como se explica enseguida. En la figura 3-10 se representa la respuesta de un monoestable individual como los mostrados en la figura 3-8.

La *NI PCI-6533* puede generar salidas de voltaje de 0 V o de 5 V cada 0.5  $\mu$ s, los pulsos de salida son pulsos cuadrados como el de la figura 3-9. Sin embargo, en algunas secuencias experimentales no se necesitan pulsos cada 0.5  $\mu$ s, sino en un tiempo más grande o solo por periodos cortos, de modo que se pueden tener salidas como la de la figura 3-9, por ejemplo.

Cada multivibrador posee 3 terminales de entrada y dos de salida. Las terminales de entrada son llamadas  $\bar{A}$ ,  $B$  y una llamada *CLEAR*, que debe estar en *ALTO* (5 V) para poder tener pulsos a las salidas llamadas *Q* y  $\bar{Q}$ . Según la figura 3-9, se pueden tener a la entrada dos tipos de pendientes:

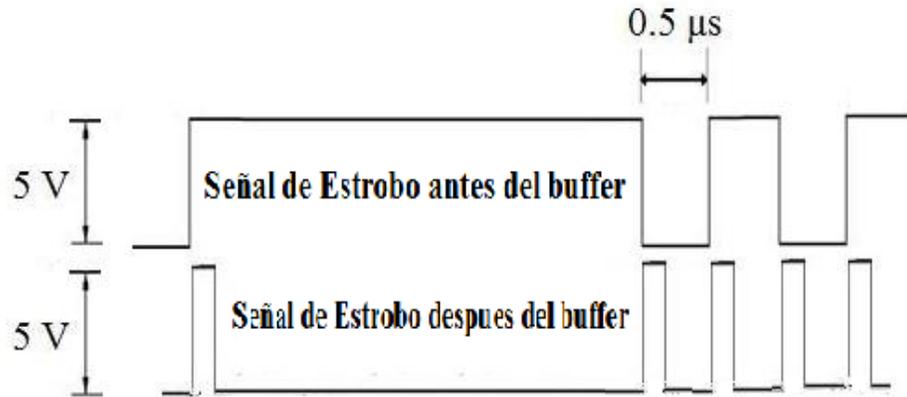


Figura 3-9 Relación entre la señal de estrobo *antes* y *despues del buffer*, la cual se utiliza para actualizar los datos en el *DiO* y *DAC*.

1. Cuando la señal pasa de 0 V a 5 V.
2. Cuando pasa de 5 V a 0 V.

En la figura 3-10, se representa la respuesta de un monoestable para los cuatro casos posibles de pulsos de entrada en las salidas de un multivibrador individual.

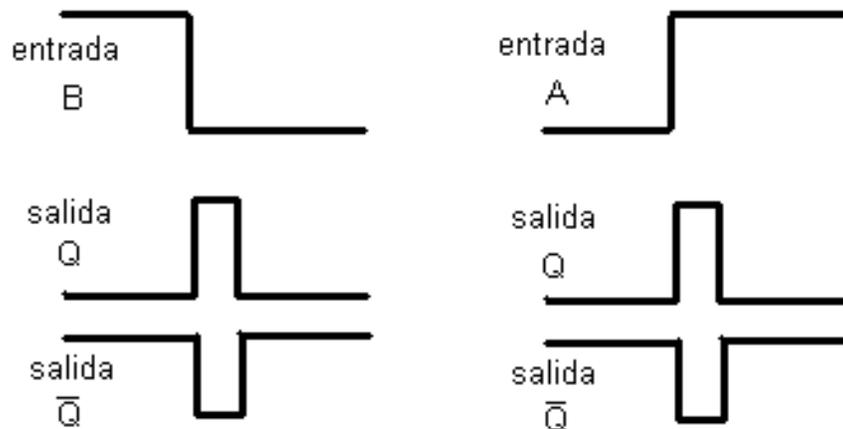


Figura 3-10 Respuesta de un monoestable individual como los mostrados en la figura 3-8.

De manera general, el conjunto de multivibradores van a generar un pulso cuadrado positivo cuando se tenga en la señal original de *estrobo* cualquiera de los dos tipos de pendientes (ver figura 3-9).

Cada pulso de salida del conjunto de multivibradores tiene una constante de tiempo variable que ajusta el ancho del pulso de salida del multivibrador, mediante un circuito  $RC$ , que acompaña a cada multivibrador, este circuito  $RC$  está compuesto por un potenciómetro de  $2\text{ k}\Omega$  más un capacitor cerámico de  $470\text{ pF}$  para las dos salidas del multivibrador  $U7$  y un potenciómetro de  $2\text{ k}\Omega$  más un capacitor  $100\text{ pF}$  para el multivibrador  $U6$ .

Finalmente la señal  $DIOD0$  pasa a través de una resistencia de  $1\text{ k}\Omega$  para limitar la corriente y llegar a la salida, en el pin 49 del conector plano de  $P5$  o  $P10$  (ver figura 3-4).

## 3.4 El DAC

Este DAC fue diseñado por *Todd P. Meyrath* y *Florian Schreck* [1]. Otra parte de este trabajo consistió en basarse en el diseño de *Meyrath*, comprando el circuito impreso del DAC[26] y soldar las componentes nosotros mismos. A continuación se describe el circuito que proporciona las 8 salidas analógicas, es decir, el convertidor de digital a analógico, conocido por sus siglas en inglés DAC. El DAC es un convertidor de 16 bits de precisión y está basado en el  $DAC7744$  de Texas Instruments [25, 1]. El DAC consta de dos circuitos repetidos ya que cada  $DAC7744$  solo proporciona 4 salidas (ver figura 3-11). El DAC está diseñado para suministrar la corriente necesaria a una carga de  $50\ \Omega$ . De los 25 bits de datos que recibe en el conector plano de entrada, los primeros 16 bits, que corresponden a los pines 1, 3, 5, ..., 31 del conector plano, son para generar un voltaje analógico, lo que significa que se puede tener una precisión en voltaje del orden de  $0.3\text{ mV}$ , en una escala de  $-10\text{ V}$  a  $10\text{ V}$ , que puede cambiarse a una escala de  $-5\text{ V}$  a  $+5\text{ V}$  solo cambiando uno de los componentes, sin necesidad de hacer una modificación al circuito. Los siguientes 8 bits, es decir, los pines 33, 35, 37, ..., 47 del conector plano, son para la dirección local del DAC y la dirección de una de la 8 salidas por DAC, y el último bit, el pin 49 del conector plano, es el bit de estrobo (ver figura 3-6). De los 8 bits de dirección del DAC, los 3 bits más bajos, que corresponden a los pines 33, 35, 37 del conector plano, seleccionan una de las 8 salidas del DAC y los otros 5 bits, los pines 39, 41, ..., 47 del conector plano, seleccionan la tarjeta DAC mediante una dirección local fijada por un interruptor DIP de 6 bits que fija la dirección local y el estrobo (ver tabla 3.4). El bit de estrobo se puede fijar a estrobo ALTO ( $5\text{ V}$ ) o BAJO ( $0\text{ V}$ ). En este sistema se ha fijado el estrobo en ALTO, para tener la actualización de los datos al momento en que se genera el pulso de estrobo y no al terminar (ver figura 3-9). Las señales de datos llegan a la salida del DAC solo si recibe los 8 bits de dirección correctamente. Para esto, después del conector plano de entrada hay un comparador modelo  $CD74HCT688M$  (ver figura 3-11) que se encarga de comparar las 5 líneas de dirección local con las del interruptor DIP que fija tal dirección, mientras que

Dirección	Conector de Salida	Etiqueta
XXXXX111	<i>J1</i>	Salida 7
XXXXX110	<i>J2</i>	Salida 6
XXXXX101	<i>J3</i>	Salida 5
XXXXX100	<i>J4</i>	Salida 4
XXXXX011	<i>J5</i>	Salida 3
XXXXX010	<i>J6</i>	Salida 2
XXXXX001	<i>J7</i>	Salida 1
XXXXX000	<i>J8</i>	Salida 0

Tabla 3.4 Direcciones de salida del DAC

las otras 3 líneas de dirección se van directamente a uno de los dos *DAC7744* del *DAC* para dar una salida en alguna de las 8 salidas del *DAC*. El comparador envía un voltaje *BAJO* como señal si la dirección se verifica. Luego, la señal se invierte a *ALTO* en un inversor de Trigger de Schmitt modelo *SN74LS14D*, (ver figura 3-11). Enseguida el pulso pasa a través de unas compuertas lógicas modelo *SN74LS00D* (ver figura 3-11), las cuales se aseguran de que solo un *DAC7744* reciba la señal para cargar los nuevos bits de datos en la memoria del mismo. Una vez realizado todo lo anterior, la señal llega al *DAC7744* correspondiente, donde se realiza la conversión de los 16 bits de datos digitales a un dato analógico.

La señal de estrobo también es cargada en el *DAC7744*, pero con un retardo dado por el circuito *RC* del circuito digital (ver figura 3-11). La configuración de los interruptores *DIP*, está dada en la posición *ON* que indica una señal *BAJO* y la posición *OFF* que indica una señal *ALTO*.

Las salidas del *DAC* son salidas tipo *BNC* para permitir colocar la tarjeta en un panel frontal y usar cables coaxiales. En la figura 3-12 se muestra el *DAC* que se construyó para el sistema de control.

### 3.4.1 Diseño del DAC

El *DAC* es una tarjeta de cuatro capas con las líneas de señal en la parte superior e inferior. En la segunda capa de arriba se ubican las conexiones a tierra y en la tercera capa se encuentran las conexiones de las fuentes de poder. El *DAC* trabaja con 3 fuentes de poder: una de +5 V, otra de -15 V y una más de +15 V. Todas las componentes se encuentran soldadas en la parte superior tanto como el conector de la fuente de poder como el conector plano de 50 líneas para cable plano. En las figuras B-5, B-6, B-7 y B-8, se muestran las impresiones en una escala de 73.07% de las cuatro capas del *DAC* y las componentes del *DAC* se muestran en la tabla C.5. De nuevo, por las mismas razones que para el *buffer*, se cambiaron algunos elementos por sus sustitutos.

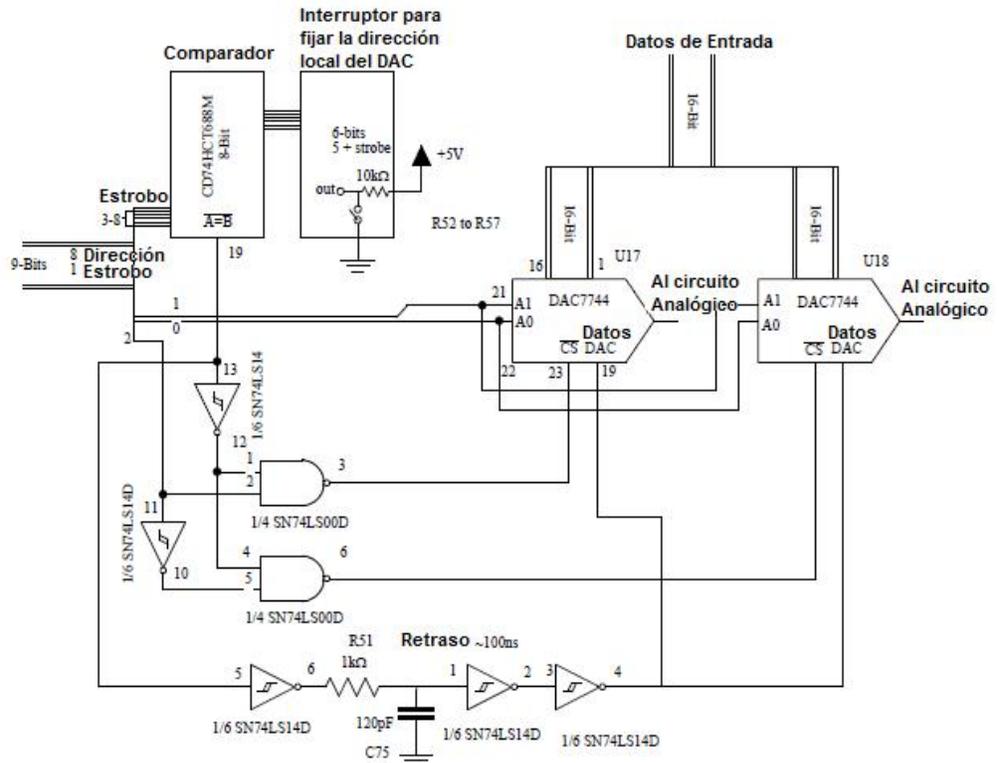


Figura 3-11 Diagrama esquemático del circuito digital del DAC.

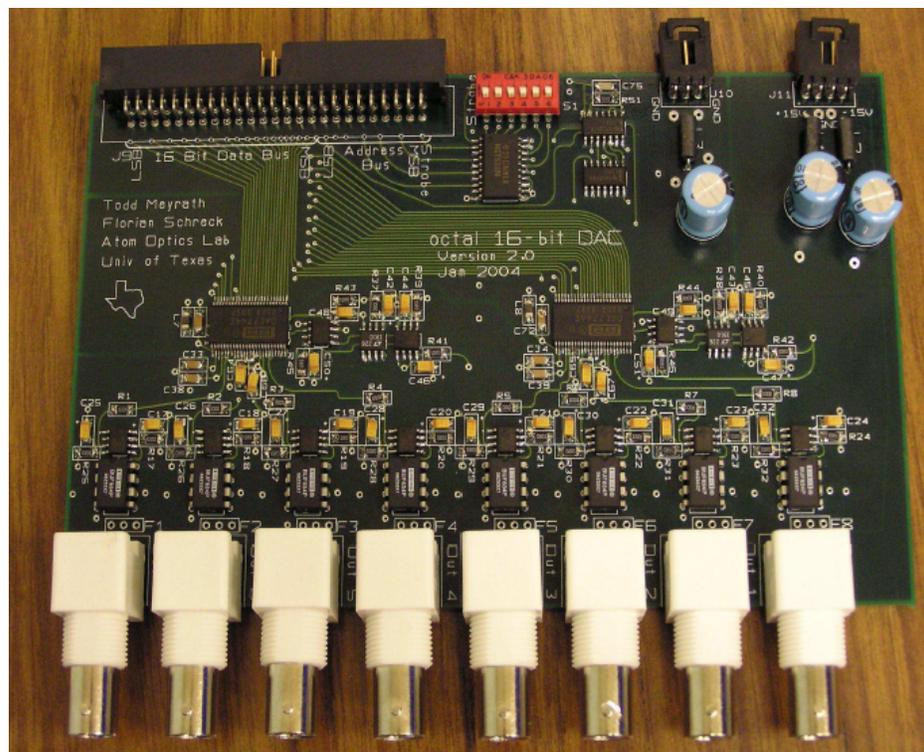


Figura 3-12 Fotografía del DAC del Sistema de Control de Laboratorio.

### 3.4.2 Especificaciones del DAC7744

El DAC puede programarse para iniciar en un voltaje de 0 V o en  $-10$  V. El DAC solo permite la actualización de una de las 8 salidas en cada ciclo de reloj de la NI PCI-6533.

En la figura 3-13 se presenta la configuración de la conexión que se ha usado para el DAC7744, mediante las 3 fuentes de poder y en la escala de 0 V, de voltaje de inicio. En el apéndice D se presentan las etiquetas de referencia del DAC7744.

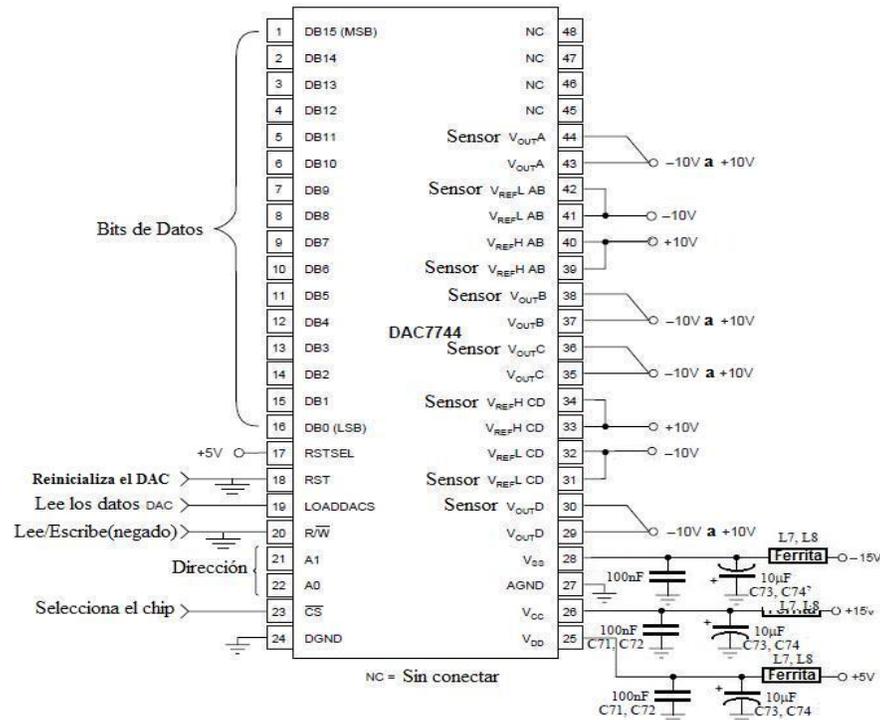


Figura 3-13 Conexión del DAC a 0 V de inicio y 3 fuentes de poder: +5 V, +15 V y  $-15$  V.

Enseguida se da una breve descripción de las terminales del DAC7744. En figura 3-13 las terminales 1, 2, 3, ..., 16 corresponden a los bits de datos. La terminal 17 determina si el voltaje inicial de  $-10$  V o 0 V. Si RSTSEL está conectado a tierra el voltaje inicial es de  $-10$  V y si está conectado a +5 V el voltaje inicia es 0 V. En este diseño está conectada a +5 V porque nos interesa tener los voltajes iniciales en 0 V. La terminal 18 se encarga de reinicializar el DAC7744 y debe estar conectada a la terminal 24 que simplemente es una tierra digital. La terminal 17 se encarga de cargar los datos cuando recibe un pulso ALTO, por lo cual esta terminal debe estar conectada a +5 V. Las terminales 21, 22 y 23, determinan a cual de las 8 salidas del DAC se va enviar el pulso de salida, por lo cual la terminal 21, 22 y 23 son los 3 bits mas bajos

de los bits de dirección que corresponden a los pines 33, 35 y 37 del conector plano (ver figura 3-6). En la terminal 25 va conectada la fuente de poder positiva de +5 V, en la terminal 26 la fuente de poder positiva de +15 V y en la 28 la fuente de poder negativa de -15 V, mientras que la terminal 27 solo es una tierra analógica. Las terminales 29 y 30 son la salida *D* (cuarta salida) del *DAC7744*. La terminal 30 es un sensor de voltaje que se encarga de dar a la salida 29 el voltaje correcto. De igual manera se tienen las otras tres salidas del *DAC7744* en las terminales 35 y 36 para la salida *C*, en 37 y 38 para la salida *B* y en 43 y 44 para la salida *A*. Las terminales 31 y 32 son los voltajes de referencia negativos para las salidas *C* y *D* y también la terminal 31 es un sensor de voltaje para amarrar el voltaje de referencia negativo a -10 V. De la misma manera se tienen las terminales 33 y 34 como voltajes de referencia positivos a +10 V para las salidas *C* y *D*. Las terminales 39 y 40 para la referencia positiva de +10 V para las salidas *A* y *B* y finalmente las terminales 41 y 42 para los voltajes de referencia negativos a -10 V para las salidas *A* y *B*. Las terminales 45, 46, 47 y 48 no están conectadas en esta configuración.

### 3.4.3 Circuitos Analógicos del DAC

La alta sensibilidad del *DAC7744* requiere de unos voltajes de referencia muy precisos. Por tal razón, para la escala de salida de voltaje de -10 V a 10 V, se ha usado el voltaje de referencia modelo *LT1019CS8-10* directamente para la referencia positiva de +10 V y se ha añadido un amplificador diferencial de precisión modelo *INA105KU* a la salida del *LT1019CS8* en su modo inversor[27] para la referencia negativa de -10 V (ver figura 3-14).

Enseguida se hacen pasar los voltajes de referencia positivo y negativo por un amplificador operacional de precisión modelo *OPA2234U* para restituir la señal y tener la disponibilidad de corriente en los voltajes de referencia.

Debido a la alta precisión del *DAC7744*, se debe tener mucho cuidado en el diseño, ya que si las impedancias de salida no son tomadas correctamente, se presentan caídas de voltaje significativas. Por esta razón, el *DAC7744* se sigue con un buffer de alta precisión y baja impedancia a la salida. En la figura 3-15 se presenta el diseño del circuito analógico que se usa para amplificar las salidas del *DAC*.

El circuito amplificador está basado en un amplificador no inversor tradicional[27] con ganancia unitaria *OPA227UA*, salvo que a la salida se añade un buffer modelo *BUF634P* para disminuir la impedancia de salida y aumentar la disponibilidad de corriente (ver figura 3-15). La salida amplificada es capaz de dar 1/4 *ampere*, tal como se requiere si se usa una carga de 50  $\Omega$ .

Además, para un buen funcionamiento del *DAC7744*, las fuentes de voltaje de  $\pm 15$  V y +5 V, no deben variar más de  $\pm 0.25$  V. Si no es así, el valor de salida del *DAC* puede ser erróneo.

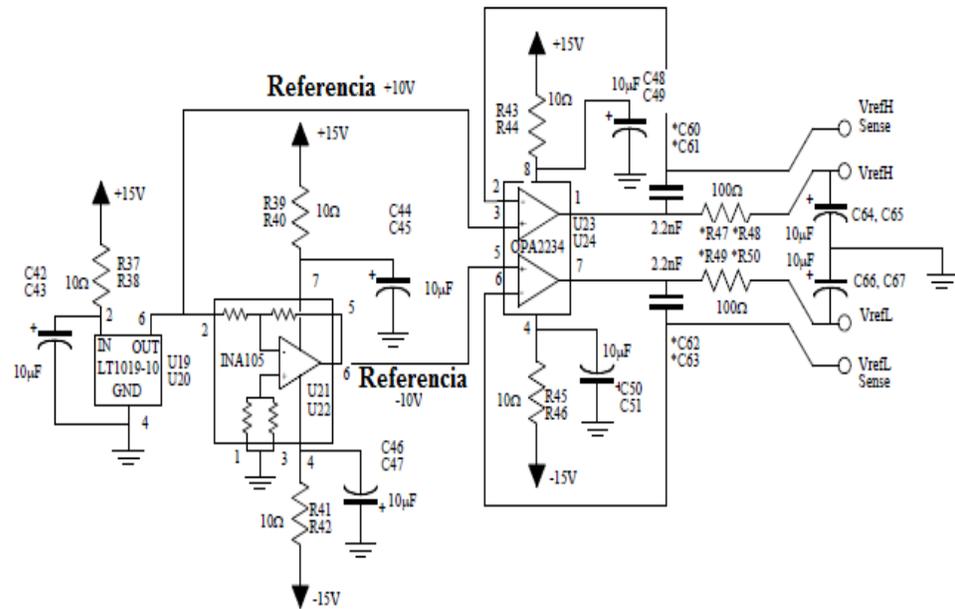


Figura 3-14 Circuito analógico para los voltajes de referencia del DAC7744.

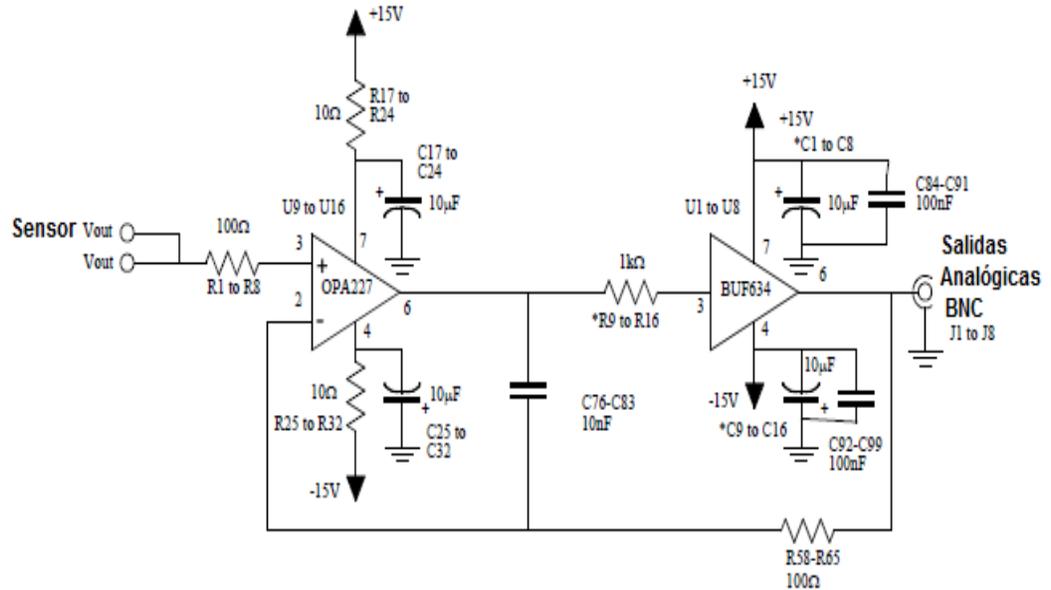


Figura 3-15 Circuito analógico para amplificar las salidas del DAC.

## 3.5 Salidas Digitales *DiO*

Esta tarjeta fue diseñada por *Todd D. Meyrath* y *Florian Schreck* [1]. La tarjeta fue diseñada usando el software gratuito *PCB123*[26] y el archivo se encuentra disponible en la pagina web del autor[1]. La otra parte de este trabajo consistió en comprar el circuito impreso en *PCB123* y soldar las componentes electrónicas nosotros mismos. Las características principales de esta tarjeta son:

- Cada canal de salida es de un solo bit, de los 16 bit de datos.
- Posee una dirección local de 8 bits.
- Cada canal puede proporcionar  $\sim 3$  V a la salida, para una carga de  $50 \Omega$ .
- Posee salidas tipo *BNC*, las cuales son muy útiles para las conexiones de cables coaxiales.

El diseño del circuito se encuentra disponible en la página web del autor [1] y es una tarjeta de muy bajo costo, de aproximadamente \$50 *dolares* (ver C.2). El *DiO* que se construyó para este sistema se presenta en la figura 3-16.

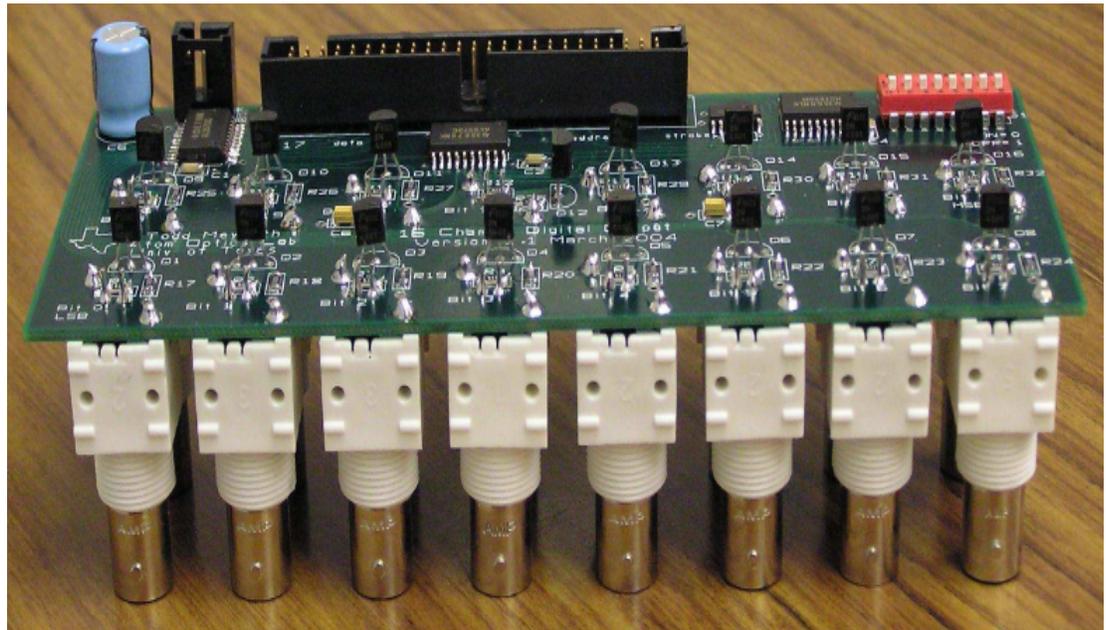


Figura 3-16 Fotografía del *DiO* del sistema de control.

### 3.5.1 El Circuito Impreso

El *DiO* es una tarjeta de cuatro capas con las líneas de conexiones en la parte superior e inferior. En la segunda capa de arriba se encuentran las líneas de tierra y en la tercera capa de arriba las líneas de alimentación a +5 V. En las figuras B-9, B-10, B-11 y B-12 presentamos las impresiones de las cuatro capas del *DiO*. Todas las componentes electrónicas (ver tabla C.3) están localizadas en la parte superior, tanto el conector de alimentación como el conector plano para cable plano. Los conectores *BNC* verticales están localizados en la parte inferior, para poder montar la tarjeta en un panel frontal.

### 3.5.2 Teoría del Circuito *DiO*

La entrada del *DiO* consiste en un conector plano de 50 pines (ver figura 3-6). Las primeras 16 son las líneas de datos, las siguientes 8 son las líneas de la dirección local del *DiO* y la línea final es el *estrobo*.

La señal de *estrobo* entra al comparador (ver figura 3-17), el cual envía la señal solo si los 8 bits de dirección local coinciden con los del interruptor *DIP*. Enseguida la señal se invierte en el inversor de Schmitt (ver figura 3-17), para ser enviada a la compuerta modelo *SN74ALS573CDW*, la cual decide si debe actualizar los datos o no, y mantiene fijos esos datos en su memoria interna hasta que vuelve a llegar otro pulso de *estrobo* *ALTO* en la terminal *LE*. Notese que la posición *ON* del interruptor *DIP* indica *BAJO* y la posición *OFF* indica *ALTO*, lo cual debe tomarse en cuenta para fijar la dirección local del *DiO* correctamente. Todo lo anterior se presenta en el diagrama esquemático de la figura 3-17.

Ya se habló en la sección anterior, como es que trabaja el comparador y el inversor de Schmitt. Solo falta mencionar como realiza su trabajo la compuerta. La terminal llamada  $\overline{OE}$  de la compuerta debe estar conectada a tierra, y solo se actualiza la señal de salida si las terminales llamadas *LE* (trigger) y  $D_i$  (entrada de datos) reciben un pulso *ALTO* (+5 V).

En cada ciclo de reloj de la *NI PCI-6533* se actualizan las 16 salidas digitales al mismo tiempo. A la salida de las compuertas, se coloca un circuito analógico que se encarga de amplificar la salida para mantener los  $\sim 3$  V en una carga de 50  $\Omega$ . Este circuito analógico es el que se muestra en la figura 3-18.

Basicamente, el circuito es un seguidor de voltaje basado en un transistor modelo *2N4401BU* en configuración de emisor[27] (ver figura 3-18).

El *DiO* presentó un problema cuando se probó su funcionamiento. El trigger de Schmitt no estaba funcionando adecuadamente, por lo que se tuvo que añadir un retraso manualmente a la línea de estrobo, mediante un cable de 4.4 m de longitud, para que de esta manera los datos se pudieran cargar adecuadamente antes de que llegara la línea de estrobo a las compuertas lógicas.

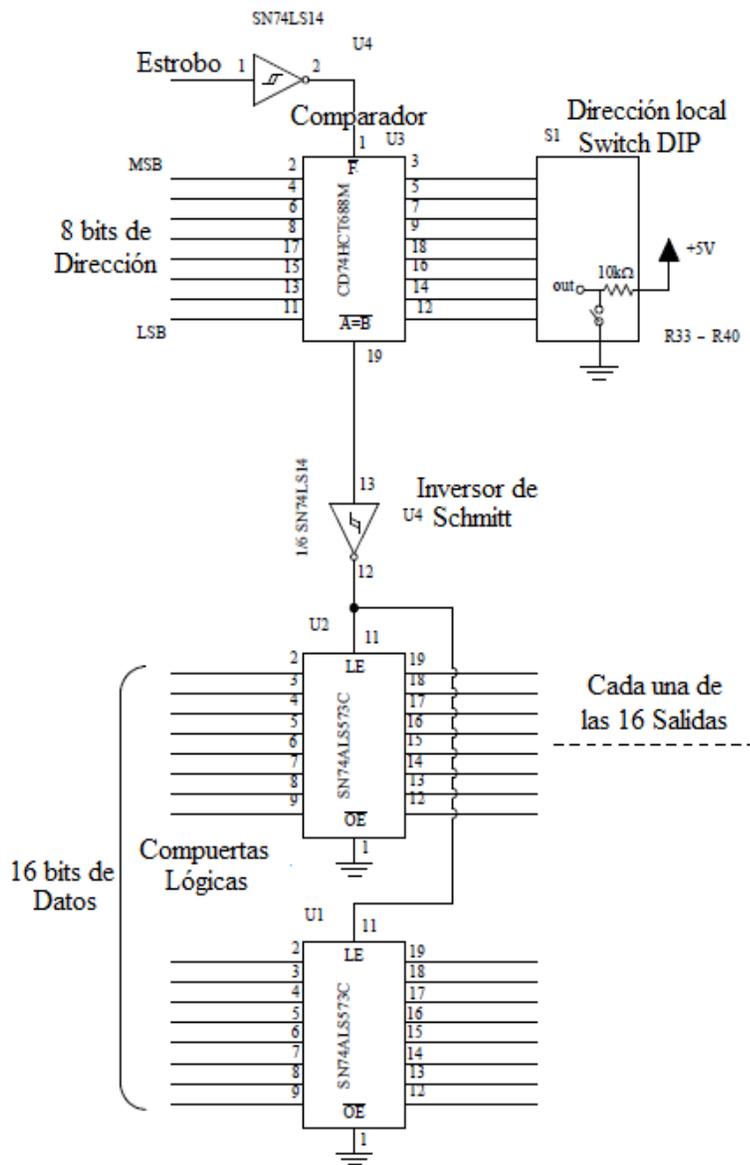


Figura 3-17 Circuito electrónico de la tarjeta DiO.

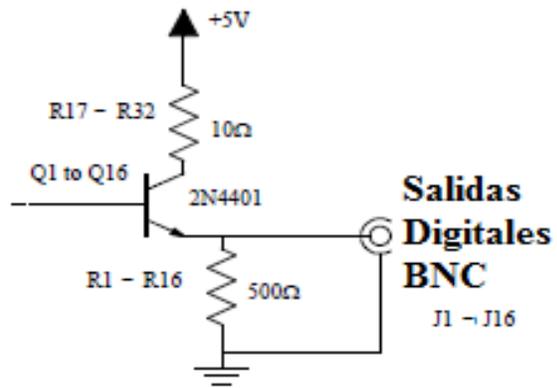


Figura 3-18 Seguidor de voltaje para la salida de los canales digitales para funcionar con carga de  $50 \Omega$ .

De esta manera el *DiO* funciona correctamente, aun sin el buen funcionamiento del inversor de Schmitt.



# 4. SOFTWARE DE CONTROL

---

## 4.1 Introducción

En este capítulo se describe la última parte de este trabajo, la cual consiste en el desarrollo de un programa llamado *Controlab*, el cual fue desarrollado en *LabVIEW* y permite tener una interfaz de usuario lista para generar cualquier secuencia experimental (ver figura 2-6 y 2-7).

Cabe mencionar que este programa fue construido en su totalidad por nosotros mismos y no forma parte del trabajo de *Florian Scherck*.

En primer lugar se ha instalado *LabVIEW 7.1* en la *PC de Control* según el manual de instalación que viene con el software[28]. *LabVIEW* es un entorno de programación gráfico y su principal utilidad se basa en la generación de programas para adquisición de datos y control de instrumentos. Los programas en *LabVIEW* son llamados instrumentos virtuales o *VI*s, ya que su apariencia y operación imitan a los instrumentos físicos mismos, tales como osciloscopios y multímetros, por ejemplo. *LabVIEW* contiene un conjunto muy extenso de herramientas para la adquisición, análisis, gráficos y almacenamiento de datos. En *LabVIEW*, se construye una interfaz de usuario a través de controles e indicadores. Hay muchos tipos de controles, como perillas, interruptores, botones, y muchos más dispositivos. Mientras que para los indicadores tenemos gráficas, *LED* y otras más. Después de construir una interfaz de usuario, se añade el código de programación usando *VI*s y estructuras de control desde el panel de objetos.

## 4.2 Formato de Datos de *Controlab*

Los datos que el usuario introduce en la interfaz son una matriz como la que se muestra en la figura 2-7. La matriz consta de 16 datos digitales que pueden activarse o desactivarse mediante controles. Si el control está iluminado de color verde claro, la salida digital de ese canal está activa y si está iluminado de color verde oscuro, está desactivado. Estos controles representan las 16 salidas digitales del *DiO*. La matriz también contiene un dato llamado *delay*, el cual consta del tiempo de la duración de los pulsos de salida, ya sean analógicos o digitales. El tiempo debe darse teniendo en mente la tasa de muestreo de la *NI PCI-6533*, por esta razón se ha fijado la tasa de muestreo de la *NI PCI-6533* como una variable global de *Controlab*. En este caso la tasa de muestreo estará dada a 1 MHz. Entonces, cada en cada microsegundo podremos tener un dato

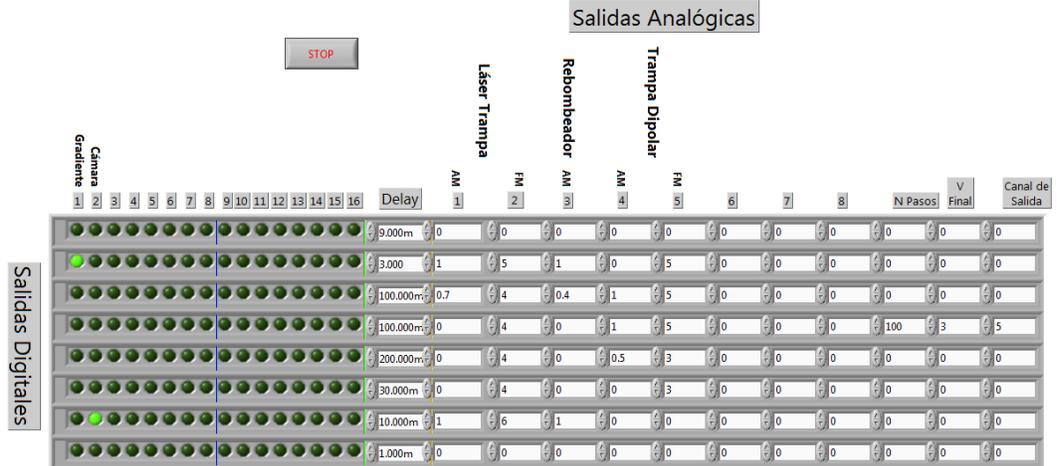


Figura 4-1 Secuencia experimental de la medición de la fuerza de Casimir-Polder en *Controlab*, la cual corresponde a la secuencia temporal de la figura 2-6.

de salida. Además, la matriz contiene 8 datos que son las salidas analógicas enseguida del *delay*. Estas salidas pueden proporcionar un pulso de  $-10\text{ V}$  a  $+10\text{ V}$  o una rampa de voltaje en ese mismo rango. Dado el diseño del sistema, solo es posible cambiar un canal analógico o las 16 salidas digitales, en cada ciclo de reloj. Enseguida hay un dato llamado *N Pasos* que define el número de pasos que tendrá la rampa de voltaje. Si *N Pasos* es igual a cero no hay rampa, en este caso solo hay un pulso analógico y si *N Pasos* es distinto de cero entonces si hay rampa de voltaje. Enseguida está el dato *V Final* que define el voltaje final de la rampa de voltaje en caso de haberla y finalmente el dato *Canal de Salida* que indica en que canal analógico se generará la rampa de voltaje. En total la matriz que el usuario introduce contiene 13 datos por reglón.

### 4.3 Conexión entre *Controlab* y el Hardware

La interfaz de usuario está hecha para facilitar su programación, pero los datos que el usuario introduce hay que modificarlos para adaptarlos al tipo de datos que lee la *NI PCI-6533*, ya que es esta la que dará los pulsos digitales de salida que finalmente se traducirán en 16 salidas digitales o 8 salidas analógicas.

#### 4.3.1 Tipo de Datos de la NI PCI-6533

Como ya se dijo, la *NI PCI-6533* es una tarjeta de 32 salidas digitales. Cada salida digital tiene una dirección que debe enviarse a la *NI PCI-6533* en un número decimal entero para tener una salida de 5 V en ese canal. Las direcciones de salida corresponden a los números en binario  $2^0$  para la primera salida digital,  $2^1$  para la segunda,  $2^2$  para la tercera y así sucesivamente hasta  $2^{31}$  para la salida número 32. Puesto que solo se han usado las primeras 25 salidas de la *NI PCI-6533*, entonces los 16 bits de datos corresponden a las salidas digitales  $2^0$  hasta  $2^{15}$  de la *NI PCI-6533*, los 8 bits de dirección a las salidas  $2^{16}$  hasta  $2^{23}$  y el bit de *estrobo* a la salida  $2^{24}$ . De acuerdo a lo anterior, se han fijado las direcciones locales del *DiO* mediante sus interruptores *DIP* en  $2^{20} + 2^{21}$  (bits 21 y 22 de la dirección, que corresponden a los pines 41 y 43 del conector plano y los bits 3 y 4 del interruptor *DIP*). Mientras que para el *DAC*, la dirección se ha fijado en  $2^{19}$  (bit 20 de la dirección, que corresponde al pin 41 del conector plano y al bit 6 del interruptor *DIP*).

Por ejemplo, si se quisiera enviar a la salida 16 del *DiO* un pulso digital *ALTO*, se tendría que mandar a la *NI PCI-6533* el dato, la dirección y el estrobo correspondiente. En este caso sería el dato:

$$2^{15} + (2^{20} + 2^{21}) + 2^{24} \quad (4.1)$$

o si se quisiera mandar a la salida analógica 1 un pulso de 7 V, el dato que se tendría que mandar sería el conjunto de los 16 datos digitales que corresponden a la conversión analógica de 7 V, la dirección y el estrobo correspondiente. Para esto, se tiene que mandar al *DAC* el dato en binario que corresponde a 7 V, para lo cual *Controlab* realiza de manera interna la conversión mediante la ecuación de la recta:

$$y_{binario} = mx_{decimal} + b \quad (4.2)$$

donde  $b = 32767.5$  y la pendiente  $m = 3276.75$ . Así, cuando el usuario introduce el dato decimal de 7 V *Controlab* usa la ecuación 4.2 para convertir los datos a su correspondiente binario para enviarlo a la *NI PCI-6533*, en este caso el dato que se envía al *DAC* es entonces:

$$[3276.75 (7) + 32767.5] + 2^{19} + 2^{24}. \quad (4.3)$$

En general, si se quiere un pulso digital o analógico en cualquier salida durante un tiempo determinado, no es necesario mandar en cada ciclo de reloj el dato al *DiO* o al *DAC*, ya que los datos a las salidas de ambas tarjetas no se actualizan hasta que reciben un pulso de estrobo. Se debe tomar en cuenta que el tamaño de la matriz que finalmente se envía a la *NI PCI-6533* no es número de renglones de la interfaz, sino más bien la suma de todos los tiempos de los datos *delay*. Esto es para tomar en cuenta que en cada ciclo de reloj se puede mandar un dato o no, según se requiera. Por ejemplo, si se tiene un solo reglón con 100 ms y la tasa de muestreo es de 1 MHz, entonces la matriz que

se envía a la tarjeta tiene 100,000 reglones y 13 columnas ya que se genera un dato por cada ciclo de reloj, es decir, cada 1  $\mu$ s. De modo que en 1 ms hay 1000 datos. *Controlab* se escribió de esta manera: primero a partir de la matriz que introduce el usuario se genera una matriz llena de ceros, del tamaño de la suma de los datos *delay*. A esta matriz se le inserta el dato más la dirección correspondiente en la posición dada por su *delay*. Luego, a esta matriz se le suma una matriz de *estrobos*. La matriz de estrobos se inicializa en ceros y también es del mismo tamaño que la matriz de *datos+dirección*. Enseguida *Controlab* compara reglón a reglón los elementos de la matriz *datos+dirección* y cuando se tiene un cambio se inserta un estrobo *ALTO*, si el estrobo estaba en *BAJO* o *BAJO* si el estrobo estaba en *ALTO*, en la matriz de estrobos. Los datos de las tarjetas no se van a actualizar, hasta que reciban un cambio en el pulso de estrobo. Por ejemplo, si se quiere mandar un pulso digital de 5 V, como el del primer ejemplo, durante 3  $\mu$ s, la matriz que debe enviarse a la *NI PCI-6533* es la matriz:

$$\begin{pmatrix} 2^{15} + 2^{20} + 2^{21} \\ 0 \\ 0 \end{pmatrix} + \begin{pmatrix} 2^{24} \\ 2^{24} \\ 2^{24} \end{pmatrix} = \begin{pmatrix} 2^{15} + 2^{20} + 2^{21} + 2^{24} \\ 2^{24} \\ 2^{24} \end{pmatrix} \quad (4.4)$$

donde la primera matriz corresponde al dato de 5 V en el canal 16, la segunda matriz a la dirección local que tiene el *DiO* a través de los interruptores *DIP* y la tercera matriz al pulso de estrobo, que en este caso corresponde a un estrobo *ALTO* durante los 3  $\mu$ s, ya que sí se va mantener el dato durante 3  $\mu$ s, no es necesario mandar el dato tres veces, sino solamente que no haya un cambio en el pulso de estrobo durante la duración del dato. Si en vez de esto, se quisiera mandar un dato analógico de 7 V en el canal analógico 1 durante 2  $\mu$ s, después del pulso digital de 5 V en el canal 16, la matriz que debe enviarse es:

$$\begin{pmatrix} 2^{15} + (2^{20} + 2^{21}) \\ 0 \\ 0 \\ 3276.75 (7) + 32767.5 + 2^{19} \\ 0 \end{pmatrix} + \begin{pmatrix} 2^{24} \\ 2^{24} \\ 2^{24} \\ 0 \\ 0 \end{pmatrix} = \begin{pmatrix} 2^{15} + (2^{20} + 2^{21}) + 2^{24} \\ 2^{24} \\ 2^{24} \\ 3276.75 (7) + 32767.5 + 2^{19} \\ 0 \end{pmatrix} \quad (4.5)$$

Se puede notar que en esta última matriz el pulso de *estrobo* para el dato digital es 0 V y no 5 V, como en el caso del dato digital. Esto se debe a que los datos solo se actualizan cuando hay algún cambio en el *pulso de estrobo*, y como inicialmente se tenía un *estrobo ALTO* para el primer dato, se tiene que cambiar a *estrobo BAJO* para el segundo. Entonces, la matriz de estrobos es una matriz alternante de *ALTO* y *BAJO* para cada dato que se escribe en la *NI PCI-6533*.

## 4.4 Detalles del Programa *Controlab*

Este programa está formado por 9 bloques, los cuales se ejecutan en el orden especificado. Los primero 8 bloques se encargan de generar la matriz final que se envía a la *NI PCI-6533*, mientras que el bloque final lo único que hace es escribir los datos en la tarjeta. Por ejemplo, en la figura 4-2 se presenta el caso de la matriz que se manda para escribir el dato digital y analógico del ejemplo anterior. *Controlab* genera las matrices de *datos+dirección*, llamada puerto 0 y la de *estrobo* llamada estrobo, por separado. Al final *Controlab* suma estas dos matrices para generar la matriz llamada *Datos*, la cual es enviada a la *NI PCI-6533*.



Figura 4-2 Matrices de *datos+dirección* y *estrobo*, que genera *Controlab* para escribir los datos en la *NI PCI-6533*.

*Controlab* tiene la capacidad de generar rampas de voltaje en cualquiera de los canales analógicos. Las rampas de voltaje están determinadas por el dato inicial y final de voltaje analógico, el tiempo de su duración y el número *N de Pasos*. Así se pueden controlar la velocidad de la rampa y su fineza. Por ejemplo, para tener una rampa de 3 V a 5 V en 4 pasos durante 100 ms, se dividen los 100 ms en 4, lo que nos da 25 ms por paso. Enseguida se calcula en voltaje correspondiente a cada uno de estos tiempos: 3.5 V, 4.0 V, 4.5 V y 5 V, para los tiempos: 25 ms, 50 ms, 75 ms y 100 ms, respectivamente.

Finalmente, en la figura 4-3 se muestra el último bloque de *Controlab* que se encarga de leer y escribir los datos en la *NI PCI-6533*.

Al final de la matriz que se envía a la *NI PCI-6533* se ha colocado un pulso de estrobo *BAJO*, ya que se requiere que cualquier secuencia experimental pueda ser cíclica, y de esta manera el primer dato que tiene estrobo *ALTO*, pueda leerse adecuadamente.



## 5. RESULTADOS Y CONCLUSIONES

---

Con este trabajo ya se tiene básicamente un sistema de control de laboratorio para física atómica. Este sistema provee 16 salidas digitales a  $\sim 3$  V y 8 salidas analógicas de  $-10$  V a  $+10$  V disponibles en cada ciclo de reloj, el cual puede fijarse a un máximo de 2 MHz.

Para este sistema de control se construyó un *buffer*, el cual se encuentra trabajando correctamente. De la misma manera se soldaron todas las componentes electrónicas del *DiO* y *DAC*. Este par de tarjetas también se encuentran trabajando adecuadamente a través del *buffer*. Para probar su funcionamiento se realizaron varias pruebas de las tres tarjetas conectadas. Las salidas fueron monitoreadas en un osciloscopio. Se hicieron pruebas con voltajes digitales, voltajes analógicos y rampas de voltaje. Finalmente el programa *Controlab* ya está terminado y se puso a prueba para generar secuencias de datos digitales y analógicos que se mencionaron. En todas las pruebas el sistema de control ha funcionado de manera correcta. En un futuro se tiene planeado mejorar la escritura de *Controlab*, ya que no se implementaron herramientas como las subrutinas o VI's y los flujos de error correspondientes.

Enseguida se muestran los algunos resultados de pulsos digitales y analógicos generados por el sistema de control. Estos pulsos fueron monitoreados y grabados por un osciloscopio *Tektronix TDS 1012B*. Enseguida se tomaron los datos del osciloscopio y se realizaron las gráficas que se muestran en las siguientes figuras en *IGOR PRO 6.5*.

En las siguientes figuras se da una caracterización de los pulsos digitales y analógicos. En la figura 5-1 mostramos las salidas digitales para pulsos digitales *ALTO* y *BAJO* cada  $0.5 \mu s$ , pero se puede notar que los pulsos *BAJO* son más cortos que los *ALTO*, cuando deberían de ser de igual duración. Creemos que esto se debe a que el pulso de estrobo en el *buffer* no está bien configurado a través de sus circuitos *RC* correspondientes. Aun así, en la figura 5-2 presentamos el análisis estadístico de la gráfica 5-1 para el estudio de la estabilidad temporal de los pulsos digitales.

Sin embargo, en la figura 5-3 se muestra otra corrida para pulsos digitales *ALTO* y *BAJO* cada  $100 \mu s$ . En este caso la estabilidad temporal es bastante alta como lo muestra la figura 5-4.

En la figura 5-5 se muestra otra corrida de *Controlab* que genera pulsos analógicos cada  $10 \mu s$ . Esta figura se muestra por que la velocidad de respuesta (*Slew rate*) de las salidas analógicas es del orden de los  $10 \mu s$ , con lo que queremos decir que a esta velocidad obtenemos pulsos cuadrados con un pequeño porcentaje de error, mientras que a una mayor velocidad no es así. En esta figura se generan pulsos analógicos cada  $10 \mu s$ , y se puede ver como el *DAC* requiere de un tiempo para llegar al voltaje requerido. Este tiempo de respuesta está dado por las especificaciones del *DAC7744*, el cual

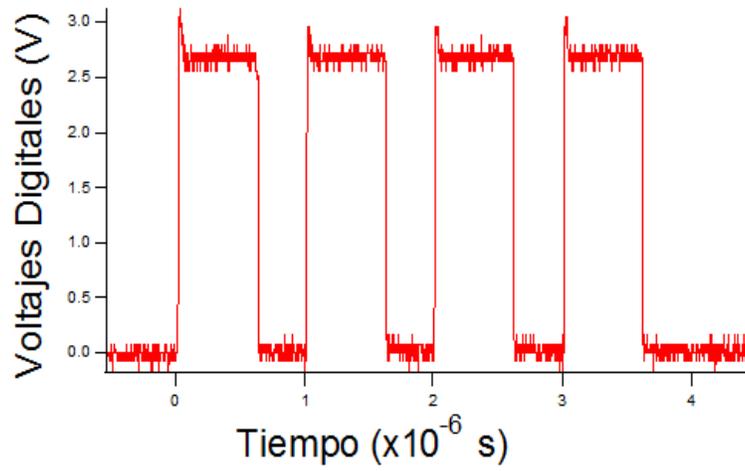


Figura 5-1 En esta corrida de Controlab se comprueba que podemos generar pulsos digitales cada  $0.5 \mu s$ .

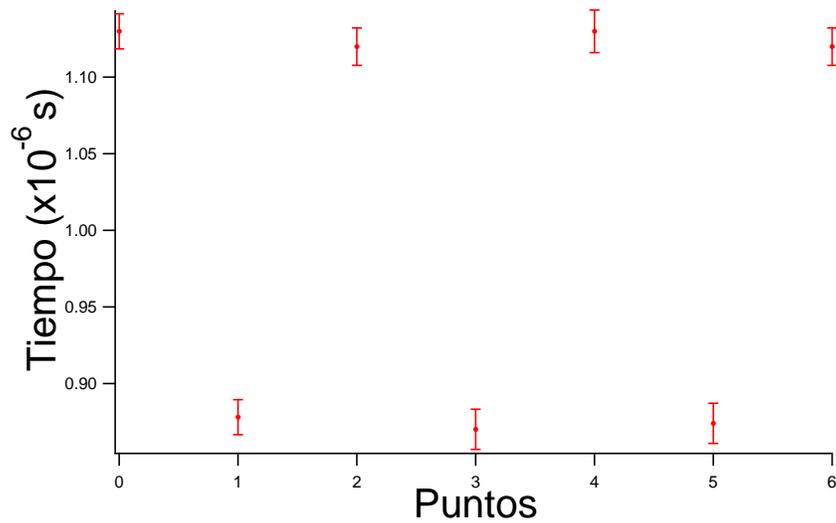


Figura 5-2 En esta gráfica se analiza la estabilidad temporal de los pulsos digitales a  $0.5 \mu s$ . El Tiempo promedio de duración de los pulsos es de  $0.499 \pm 0.12 \mu s$ .

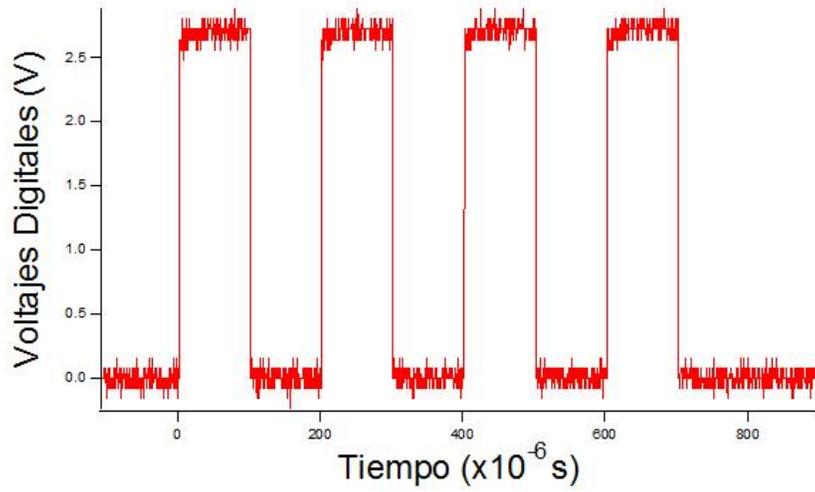


Figura 5-3 En esta corrida de Controlab se comprueba que podemos generar pulsos digitales cada  $100 \mu\text{s}$ .

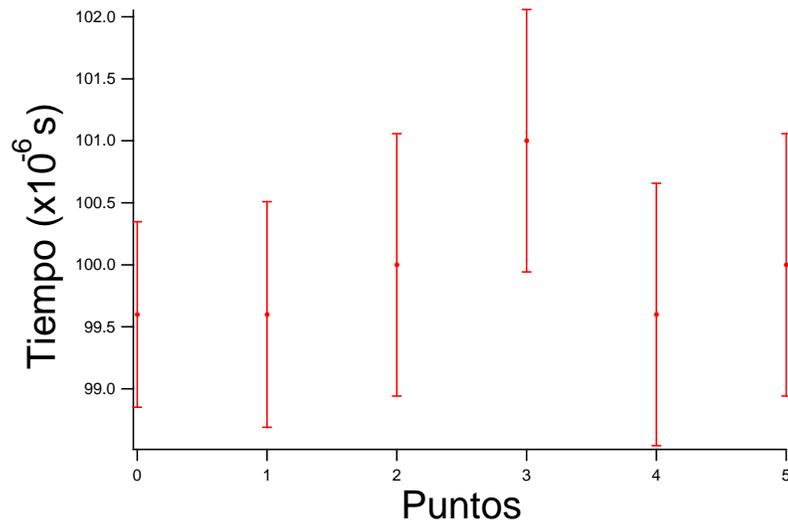


Figura 5-4 En esta gráfica se analiza la estabilidad temporal de los pulsos digitales a  $100 \mu\text{s}$ . El Tiempo promedio de duración de los pulsos es de  $99.9 \pm 0.5 \mu\text{s}$ .

tiene una velocidad de  $10 \mu\text{s}$  para una exactitud de voltaje del  $0.003\%$ . De la gráfica se puede ver que el *DAC* tarda mas tiempo de proporcionar un voltaje mayor que uno menor, ya que la velocidad de respuesta está dado por la pendiente de bajada o de subida, la cual es la misma en valor absoluto. Este es un problema que pude solucionarse eligiendo dispositivos mas veloces, lo cual se cuantifica con una variable llamada *Slew Rate*, mientras mas alta sea esta variable, mayor es la velocidad de respuesta del dispositivo. En la figura 5-6 se muestra el análisis de la estabilidad temporal para este caso. En este caso tenemos una precisión temporal del orden de  $67 \text{ ns}$ .

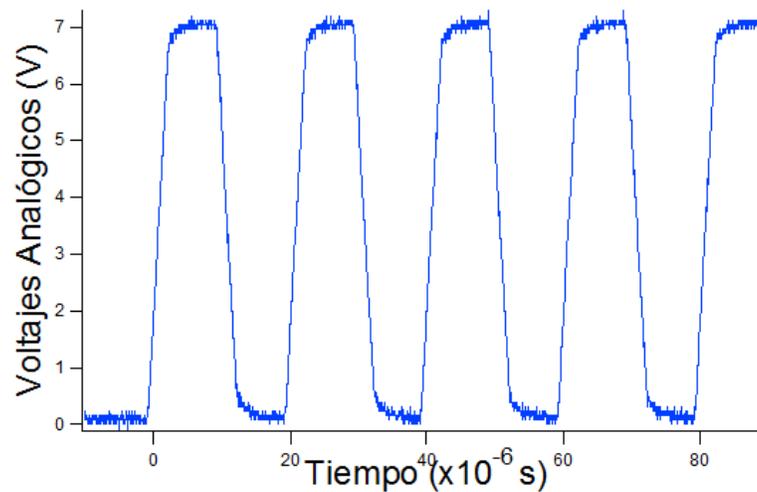


Figura 5-5 Corrida de Controlab para generar pulsos Analógicos a 7 V, cada  $10 \mu\text{s}$ .

En la figura 5-7 se muestra una corrida de Controlab donde se obtuvieron pulsos digitales cada  $1 \mu\text{s}$  para estudiar la estabilidad del voltaje de salida. Como se puede ver de la figura 5-8, la estabilidad del voltaje digital es suficiente para cumplir con los requisitos de un voltaje *TTL* ( $< 2 \text{ V}$ ).

La estabilidad de los voltajes analógicos es todavía mas importante y segun el diseño del DAC, se esperaba que la precisión de los voltajes analógicos fuera de  $0.3 \text{ mV}$ , sin embargo no es así. En la figura 5-9 se presenta la gráfica de una corrida de *Controlab* donde se generan pulsos analógicos de  $+1 \text{ V}$  para estudiar la estabilidad del voltaje analógico. En la gráfica de la figura 5-10 se da el análisis de la estabilidad del voltaje analógico, el cual resulta ser de aproximadamente  $10 \text{ mV}$  y no de  $0.3 \text{ mV}$  como ya se mencionó.

En las figuras 5-11, 5-12, 5-13 y 5-14 se presenta el mismo análisis de la estabilidad del voltaje analógico, pero para  $+5 \text{ V}$  y  $+10 \text{ V}$ .

En la figura 5-15 se presenta la corrida de *Controlab* con la que se probó que los canales analógicos son independientes de la salida de voltaje de los otros canales. En la gráfica de la figura 5-16 se muestra en análisis de esta propiedad.

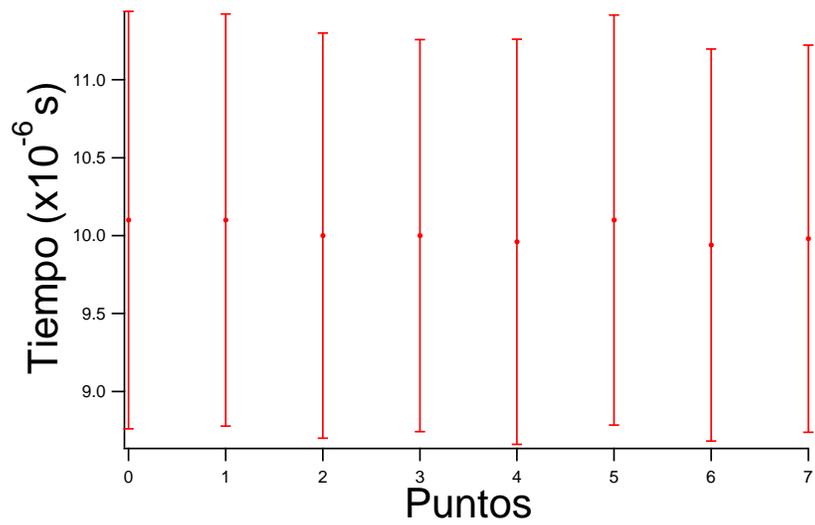


Figura 5-6 En esta gráfica se analiza la estabilidad temporal de los pulsos analógicos a  $10 \mu s$ . El Tiempo promedio de duración de los pulsos es de  $10.02 \pm 0.067 \mu s$ .

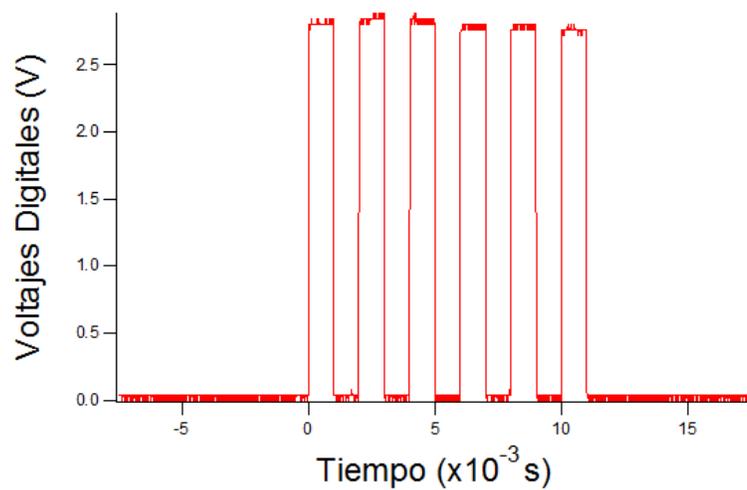


Figura 5-7 En esta corrida de Controlab se comprueba que podemos generar pulsos digitales estables de 2.8 V aproximadamente, cada 1 ms.

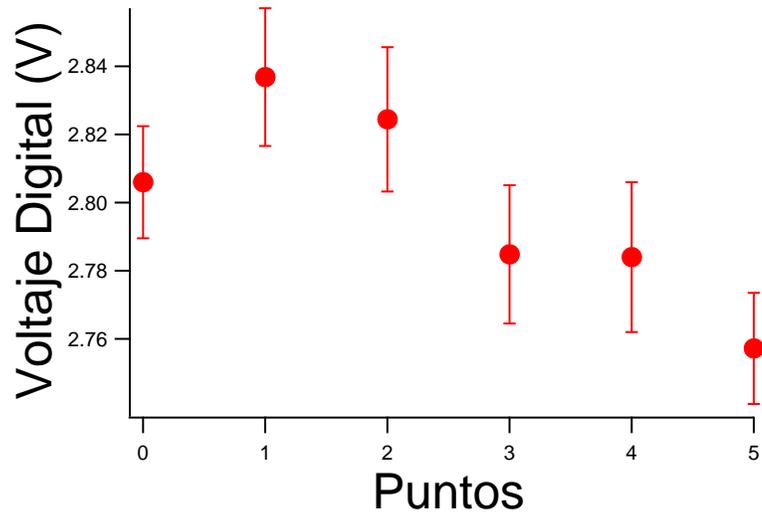


Figura 5-8 En esta gráfica se analiza la estabilidad del voltaje digital a 1 ms. El voltaje promedio de los pulsos digitales es de  $2.8 \pm 0.029$  V.

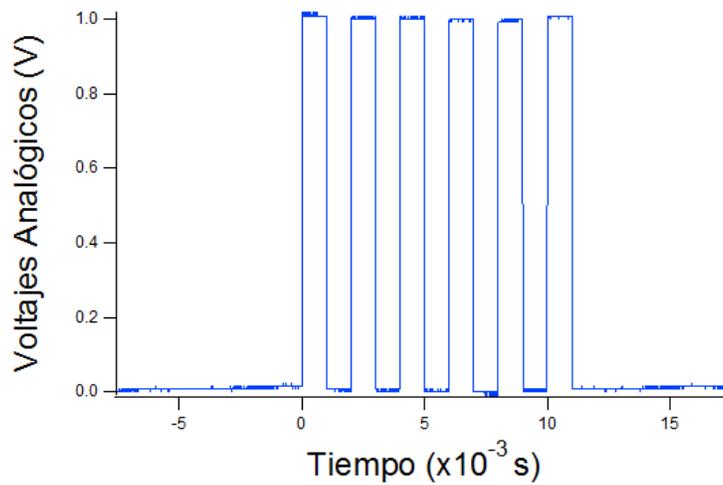


Figura 5-9 En esta corrida de Controlab se comprueba que podemos generar pulsos analógicos de 1 V cada 1 ms.

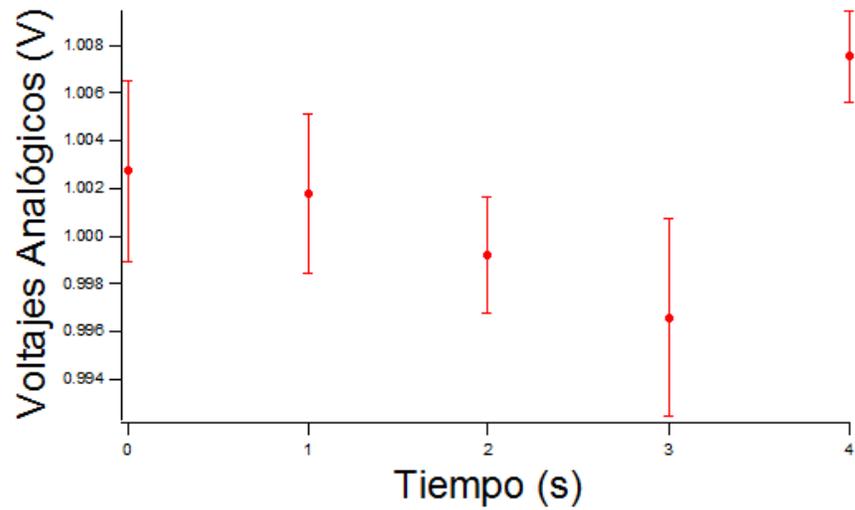


Figura 5-10 En esta gráfica se analiza la estabilidad del voltaje Analógico de 1 V a 1 ms. El voltaje promedio de los pulsos analógicos es de  $1.00 \pm 0.003$  V.

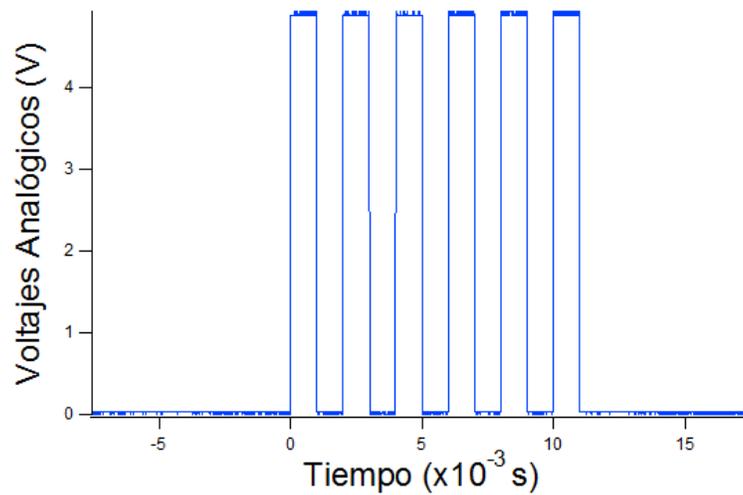


Figura 5-11 En esta corrida de Controlab se comprueba que podemos generar pulsos analógicos de 5 V cada 1 ms.

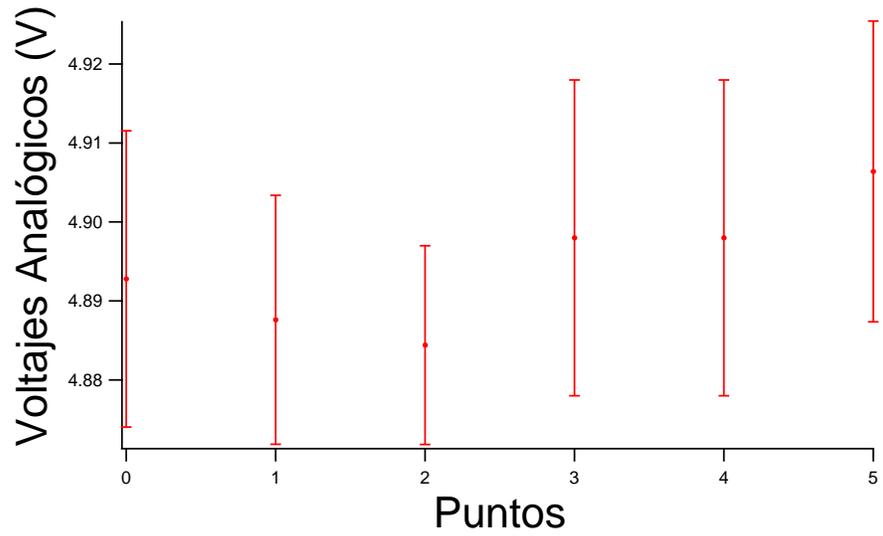


Figura 5-12 En esta gráfica se analiza la estabilidad del voltaje Analógico de 5 V a 1 ms. El voltaje promedio de los pulsos analógicos es de  $4.89 \pm 0.0079$  V.

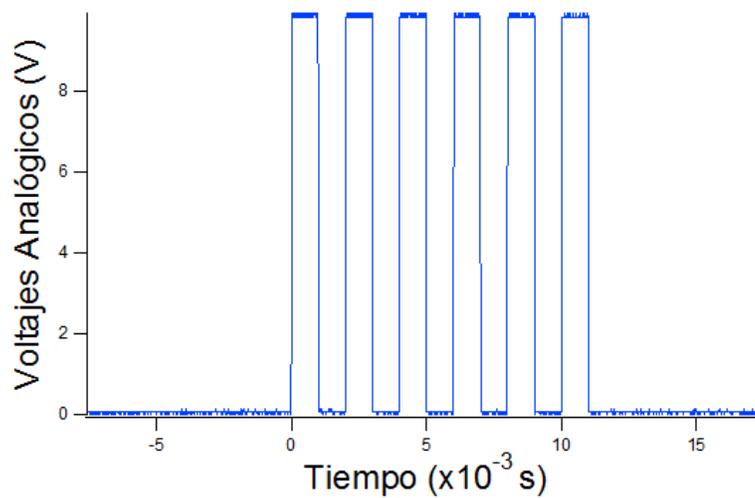


Figura 5-13 En esta corrida de Controlab se comprueba que podemos generar pulsos analógicos de 10 V cada 1 ms.

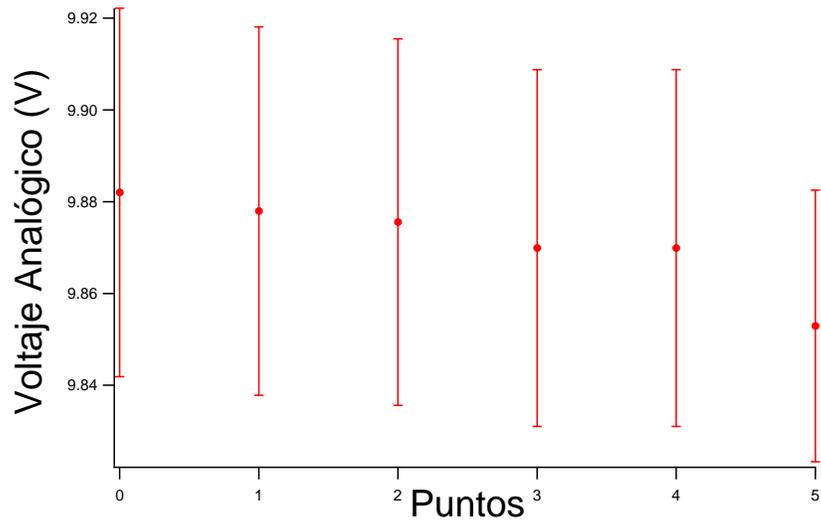


Figura 5-14 En esta gráfica se analiza la estabilidad del voltaje Analógico de +10 V a 1 ms. El voltaje promedio de los pulsos analógicos es de  $9.87 \pm 0.010$  V.

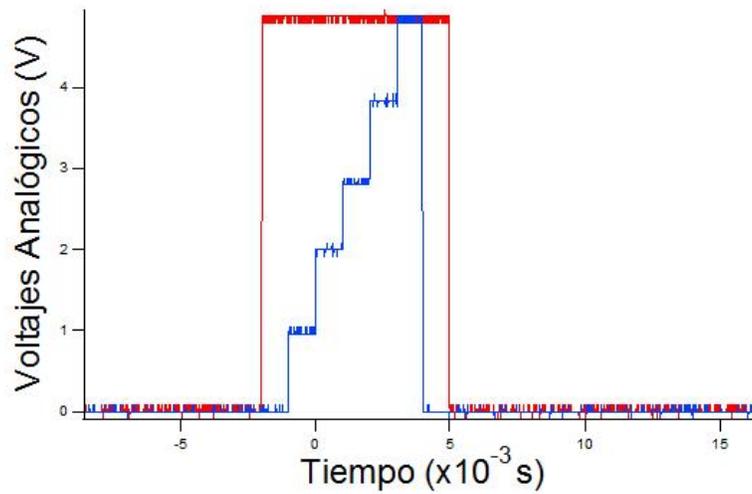


Figura 5-15 En esta corrida de Controlab se comprueba que las salidas analógicas son realmente independientes. Para esto se generaron pulsos analógicos constantes en el canal 1 y pulsos analógicos variables en el canal 2 cada 1 ms.

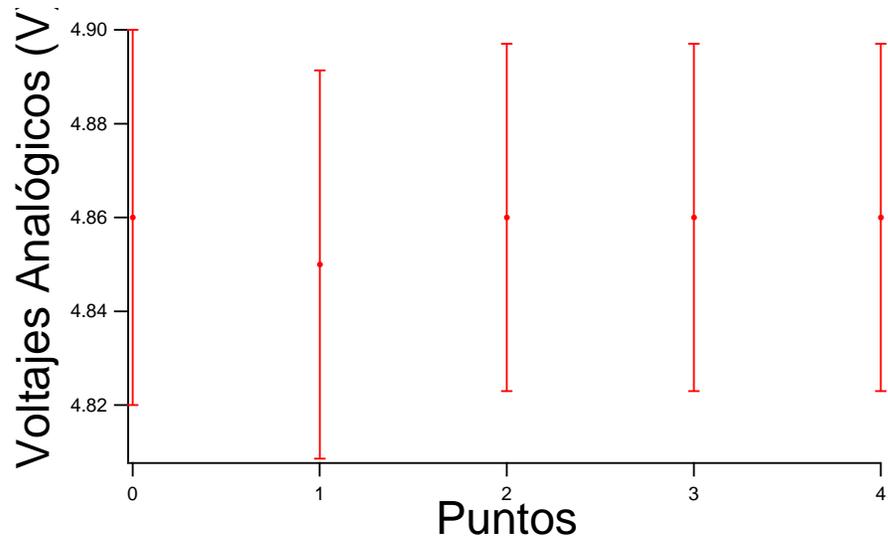


Figura 5-16 En esta gráfica se analiza la independencia de los canales de voltaje Analógico. El voltaje promedio del canal constante 1, es de  $4.858 \pm 0.0044$  V a pesar de la variación del canal 2.

En la gráfica de la figura 5-17 se presentan las corridas de *Controlab* correspondientes a las rampas de voltaje. En esta gráfica se muestra la misma rampa de 0 V a +10 V durante 10 ms. La rampa en lila se realizó mediante 3 pasos, la de color azul mediante 10 pasos y la de color café mediante 30 pasos.

Las rampas tienen en este caso algunas variaciones en su duración. Esto se debe a la manera en que se elaboran las rampas en *Controlab*. De hecho, se tiene pensado mejorar el método de generación de las rampas, para tener mejores rampas. Una rampa es buena si su linealidad es buena. Para medir la linealidad de las rampas, se realizó una corrida en *Controlab* para una rampa de -10 V a +10 V durante 10 ms, mediante 30 pasos. La gráfica correspondiente se presenta en la figura 5-18.

Mientras que en la figura 5-19 se presenta el análisis lineal que se realizó. En este caso se calculó la ecuación de la recta teórica de esta rampa, la cual resulta ser:

$$y = 2x - 10 \quad (5.1)$$

Mientras que el ajuste lineal nos da como solución:

$$y = 2.07x - 10.228$$

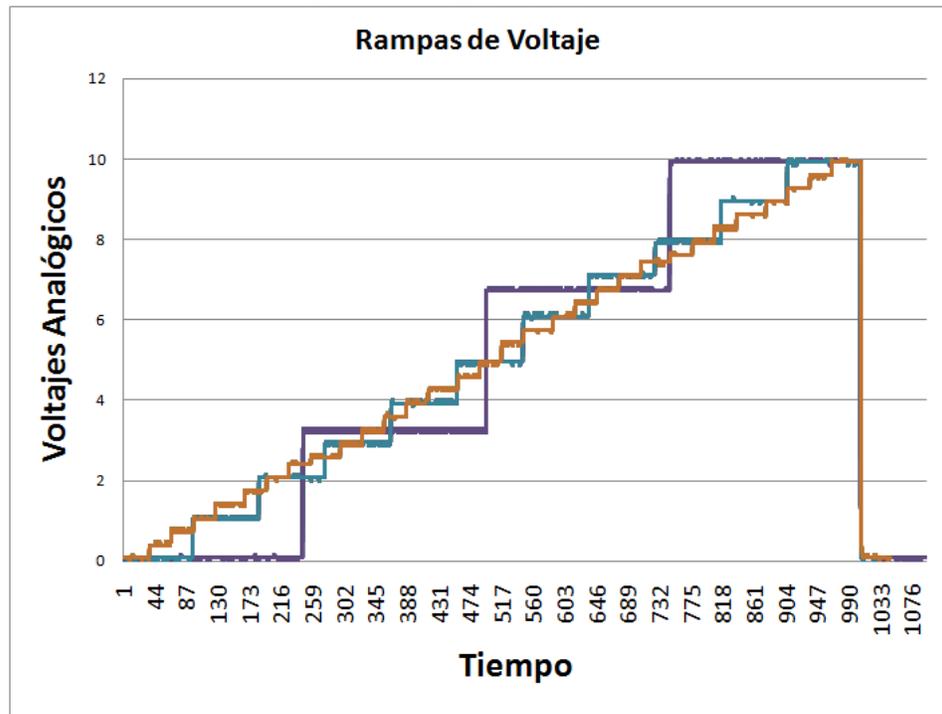


Figura 5-17 En esta corrida de Controlab se genera una rampa de voltaje de 0 V a +10 V durante 10 ms. La rampa en lila tiene 3 pasos, la de color azul 10 pasos y la de color café 30 pasos.

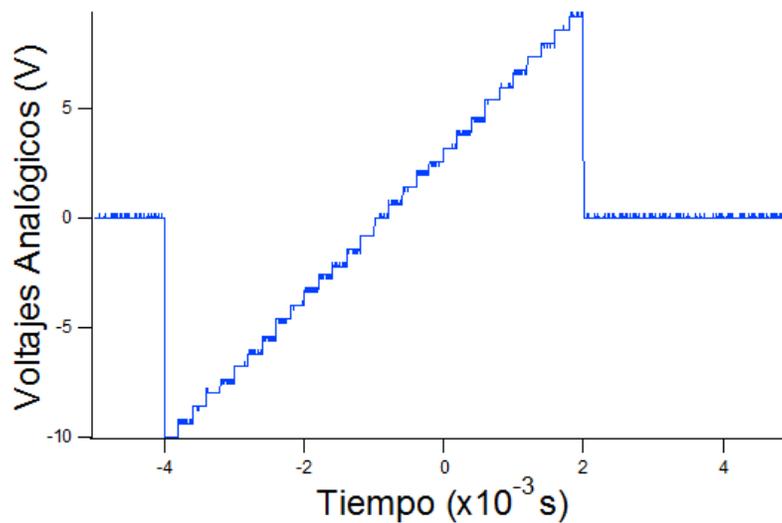


Figura 5-18 En esta corrida de Controlab se genera una rampa de voltaje de -10 V a +10 V durante 6 ms. La rampa tiene 30 pasos.

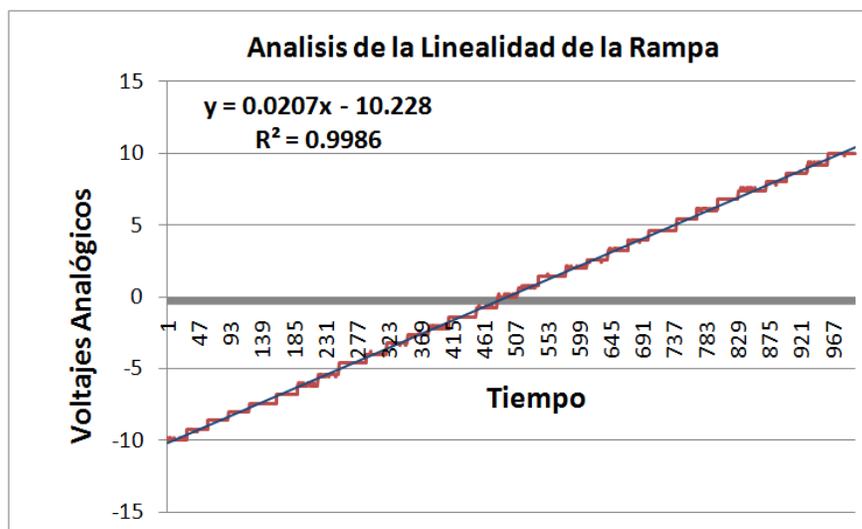


Figura 5-19 En esta gráfica se presenta el ajuste lineal a una rampa de voltaje de  $-10\text{ V}$  a  $+10\text{ V}$  durante  $10\text{ ms}$ . La rampa tiene 30 pasos.

### 5.0.1 Perspectivas

Sin embargo aún con este sistema de control, no es posible realizar el experimento de la fuerza de Casimir-Polder. Todavía es necesario crear un software de análisis de datos. Como trabajo futuro, se va a crear un programa en *LabVIEW* para tomar los datos que vendrán de la cámara *CCD* que tomará la fotografía al final del experimento. A partir de esta imagen se van a obtener todos los datos del sistema. El programa de análisis de datos debe ser capaz de calcular a partir de la fotografía: el número de átomos de la nube, la temperatura de la nube, la posición de la nube, etc.

También se tiene planeado mejorar la escritura de *Controlab*, ya que no se implementaron herramientas como las subrutinas o *VI's* y los flujos de errores.

Existen formas más adecuadas de realizar una rampa de voltaje, por lo cual emplearemos mejores algoritmos para mejorar la linealidad de las rampas analógicas.

Podemos mejorar el *DiO* para tener salidas digitales de  $+5\text{ V}$  como lo habíamos planeado en un principio. También debemos construir más salidas digitales y analógicas para aumentar el número de salidas disponibles ya que existen experimentos donde se va a requerir un mayor número de salidas digitales y analógicas.

Todavía hay que comprar más equipo electrónico para poder llevar a cabo el experimento de la fuerza de Casimir-Polder y realizar varias pruebas simples con el sistema de control para caracterizar su funcionamiento final.

# Bibliografía

---

- [1] <http://george.ph.utexas.edu/~schreck/schreck/>
- [2] Libro de texto. Cohen Tonnoudji, "Introduction to Quantum Electrodynamics".
- [3] Libro de texto. Cohen Tannoudji, "Quantum mechanics".
- [4] H. B. G. Casimir, "On the attraction between two perfectly conducting plates" Proc. Kon. Nederland. Akad. Wetensch. B. **51**, 793 (1948).
- [5] T. H. Boyer, "Quantum Electromagnetic Zero-Point Energy of a Conducting Spherical Shell and the Casimir Model for a Charged Particle", Phys. Rev. **174**, 1764 (1968).
- [6] H. B. G. Casimir and D. Polder, "The Influence of Retardation on the London-van der Waals Forces", Physical Review Letters **73**, 4 (1948).
- [7] M. J. Sparnaay, "Measurement of attractive forces between flat plates", Physica (Utrecht) **24**, 751 (1958).
- [8] C.I. Sukenik, M.G. Boshier, D. Cho, V. Sandoghdar y E.A. Hinds, "Measurement of the Casimir-Polder Force", Phys. Rev. Lett. **70**, 560 (1993).
- [9] S.K. Lamoreaux, "Demonstration of the Casimir Force in the 0.6 to 6  $\mu\text{m}$  Range", Phys. Rev. Lett. **78**, 5 (1997).
- [10] S. Dimopoulos y A.A. Geraci, "Probing submicron forces by interferometry of Bose-Einstein condensed atoms", Phys. Rev. D. **68**, 124021 (2003).
- [11] I. Carusotto, L. Pitaevskii, S. Stringari, G. Modugno y M. Inguscio, "Sensitive Measurement of Forces at the Micron Scale Using Bloch Oscillations of Ultracold Atoms", Phys. Rev. Lett. **95**, 093202 (2005).
- [12] R. Onofrio, "Casimir forces and non-Newtonian gravitation", New J. Phys. **8**, 237 (2006).
- [13] D.M. Harber, J.M. Obrecht, J.M. McGuirk y E.A. Cornell, "Measurement of the Casimir-Polder force through center-of-mass oscillations of a Bose-Einstein condensate", Phys. Rev. A. **72**, 033610 (2005).
- [14] J.M. Obrecht, R.J. Wild, M. Antezza, L.P. Pitaevskii, S. Stringari y E.A. Cornell, "Measurement of the temperature dependence of the Casimir-Polder force", Phys. Rev. Lett. **98**, 063201 (2007).

- [15] S. Chu, "Nobel Lecture: The manipulation of neutral particles", Rev. Mod. Phys. **70**, 685 (1998).
- [16] C. Cohen-Tannoudji, "Nobel Lecture: Manipulating atoms with photons", Rev. Mod. Phys. **70**, 707 (1998).
- [17] W.D. Phillips, "Nobel Lecture: Laser cooling and trapping of neutral atoms", Rev. Mod. Phys. **70**, 721 (1998).
- [18] S. Aubin, E. Gomez, L.A. Orozco y G.D. Sprouse, "High efficiency magneto-optical trap for instable isotopes", Rev. Sci. Instr. **74**, 4342 (2003).
- [19] R. Dumke, M. Johanning, E. Gomez, J.D. Weinstein, K.M. Jones y P.D. Lett, "All-optical generation and photoassociative probing of sodium Bose-Einstein condensates", New J. Phys. **8**, 64 (2006).
- [20] P. Clade, S. Guellati-Khelifa, C. Schwob, F. Nez, L. Julián y F. Biraben, "A promising method for the measurement of the local acceleration of gravity usign Bloch oscillations of ultracold atoms in a vertical standing wave", Europhys. Lett. **71**, 730 (2005).
- [21] [http://www.ni.com/pdf/products/us/4mi432 – 434.pdf](http://www.ni.com/pdf/products/us/4mi432-434.pdf)
- [22] <http://www.ni.com/pdf/manuals/373235m.pdf>
- [23] <http://www.cadsoftusa.com/>
- [24] <http://www.newark.com/>
- [25] <http://focus.ti.com/lit/ds/symlink/dac7744.pdf>
- [26] <http://www.pcb123.com>.
- [27] Libro de texto. Paul Horowitz, Winfield Hill. "The art of electronics".
- [28] <http://www.ni.com/pdf/manuals/373427c.pdf>

# A. DIAGRAMA ESQUEMÁTICO DEL BUFFER

---

En la figura A-1 se presenta el diagrama esquemático del buffer dado por el autor, el cual puede servir de referencia para hacer las conexiones de manera adecuada o simplemente para tener más detalles de la elaboración del circuito buffer.



## B. FIGURAS

---

### B.1 Acetatos Positivos y Negativos del *buffer*

En las figuras B-1, B-2, B-3 y B-4 se presentan las impresiones de las capas superior e inferior, tanto positivos como negativos de los archivos *.brd* a una escala del 61.36%. Estas impresiones fue necesarias hacerlas para llevarlas al IICO y se pudieran realizar las impresiones de las pistas del *buffer*.

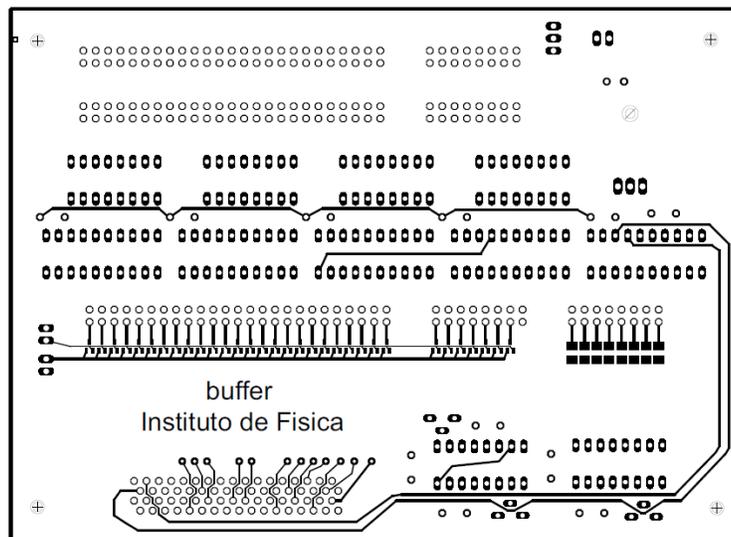


Figura B-1 Impresión del positivo de la capa superior del archivo *buffer.brd*.

### B.2 Impresos del *DAC*

En las figuras B-5, B-6, B-8 y B-7 mostramos el diseño de las 4 capas del *DAC* mediante las impresiones de las mismas. Mostramos estas figuras ya que fueron necesarias para hacer las conexiones correctas de algunas componentes electrónicas del *DAC*.

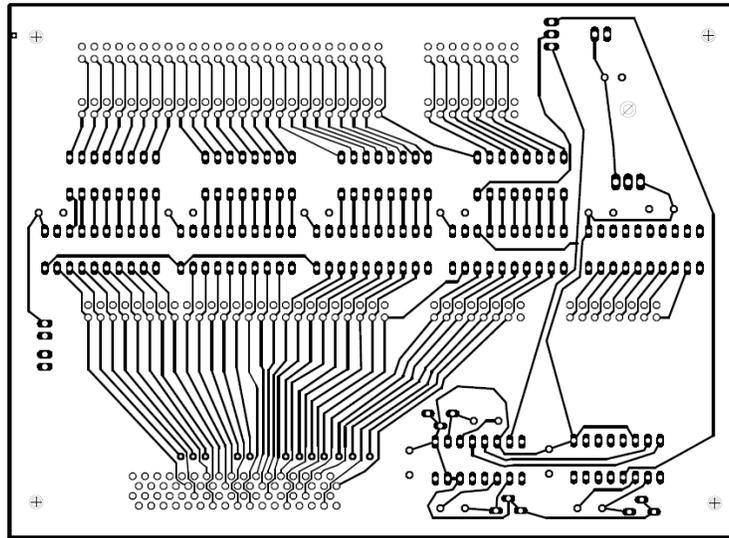


Figura B-2 Impresión del positivo de la capa inferior del archivo *buffer.brd*.

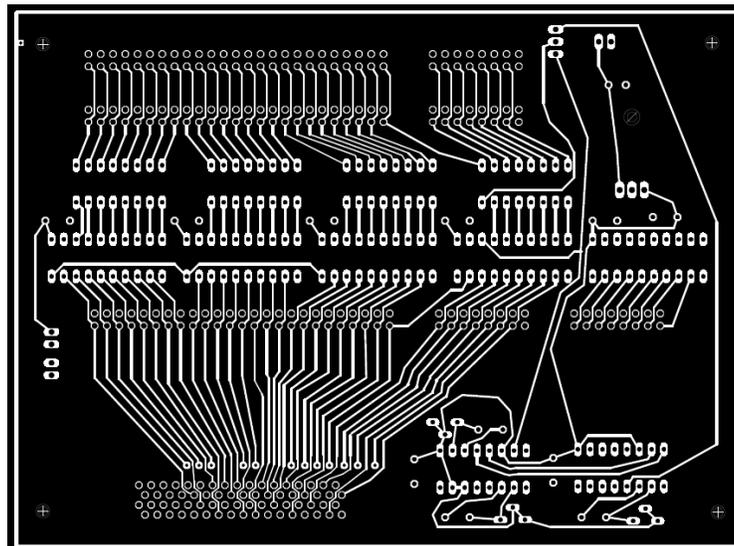


Figura B-3 Impresión del negativo de la capa inferior del archivo *buffer.brd*.

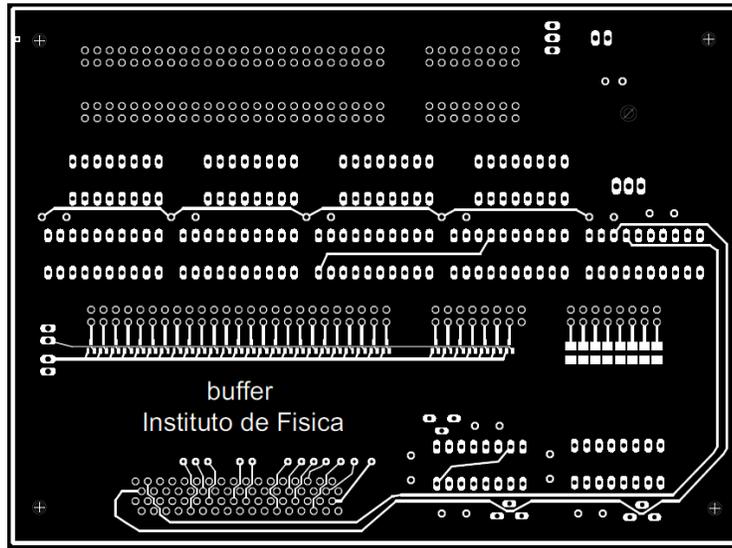


Figura B-4 Impresión del negativo de la capa superior del archivo *buffer.brd*.

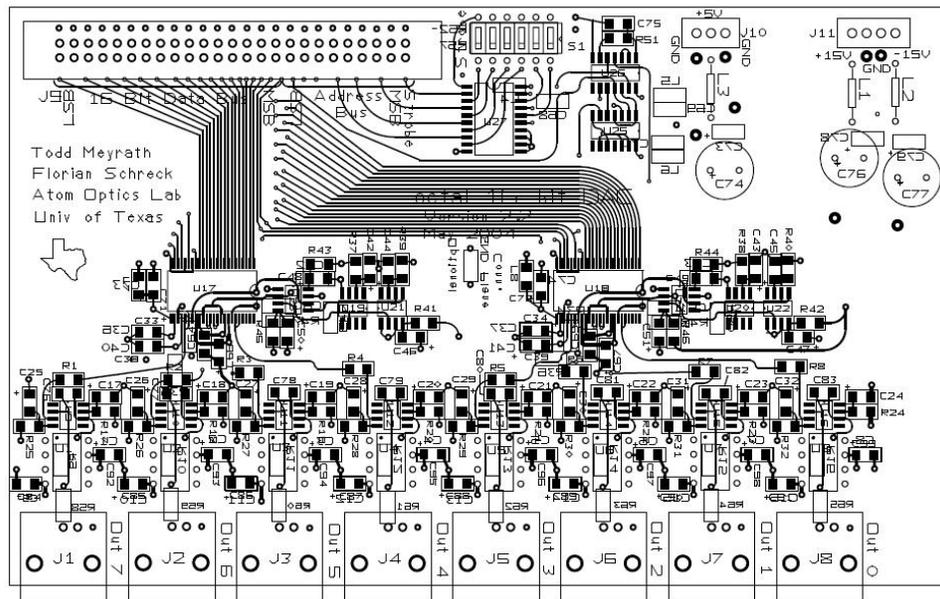


Figura B-5 Impresión de la capa superior del DAC.

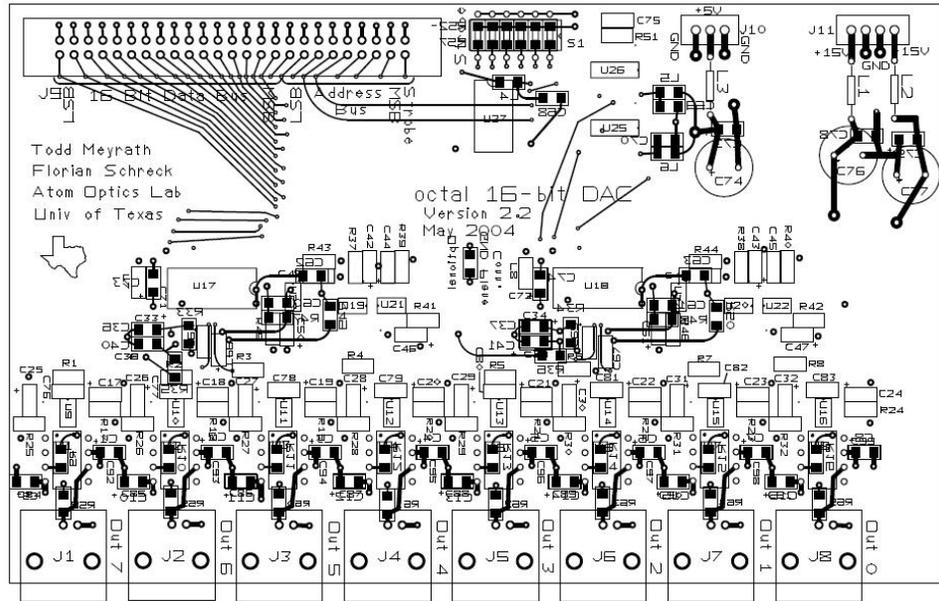


Figura B-6 Impresión de la capa inferior del DAC.

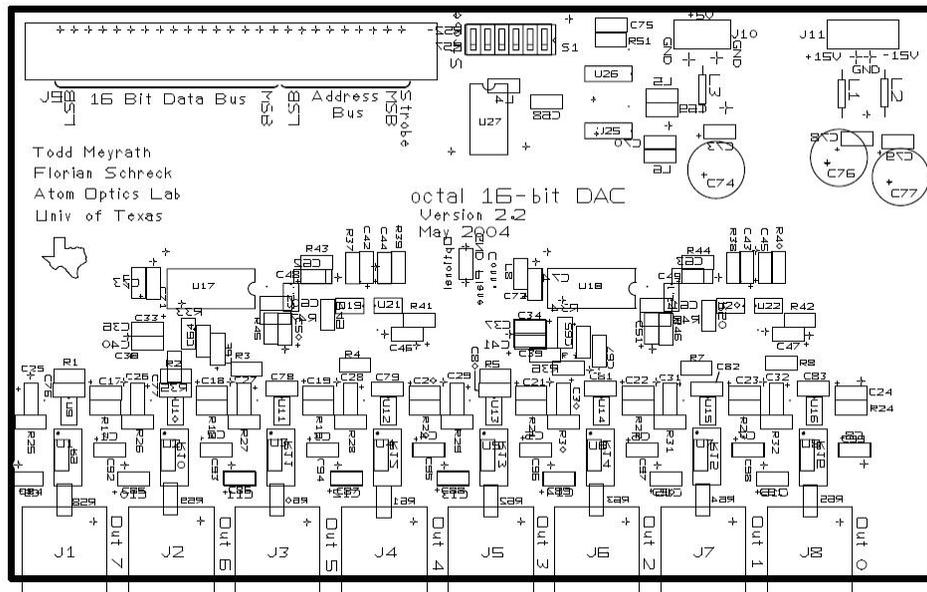


Figura B-7 Impresión de la capa de tierras del DAC. En esta impresión las conexiones se indican con una cruz.

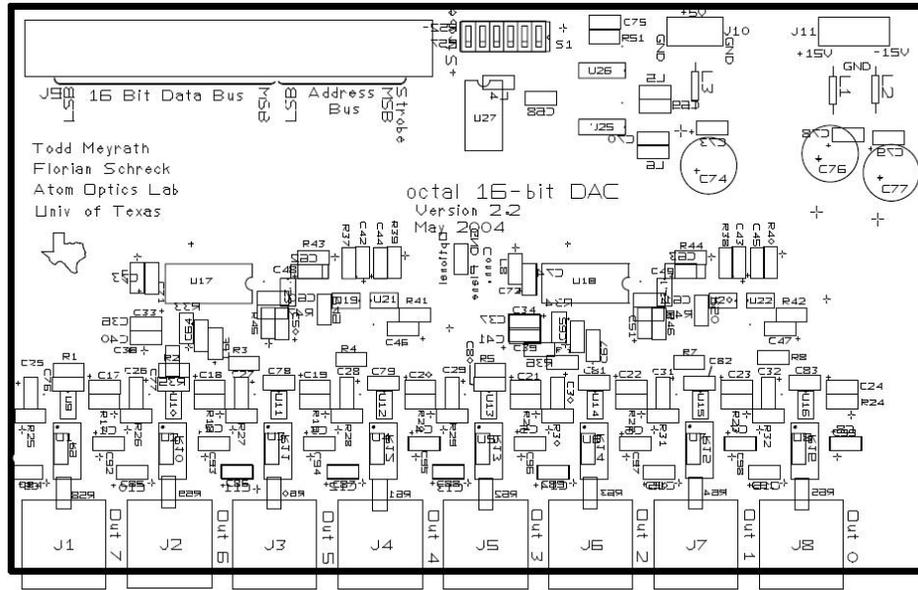


Figura B-8 Impresión de la capa  $V_{CC}$  del DAC. En esta impresión las conexiones se indican con una cruz.

### B.3 Impresos del $DiO$

En las figuras B-9, B-10, B-12 y B-11 mostramos el diseño de las 4 capas del  $DiO$  mediante las impresiones de las mismas. De nuevo se muestran las figuras ya que fueron utiles para realizar las conexiones correctas de algunas componentes electrónicas del  $DiO$ .

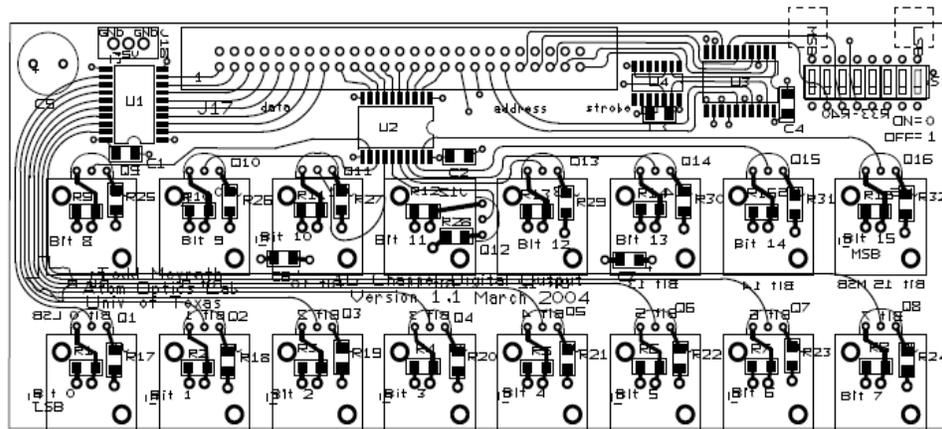


Figura B-9 Impresión de la capa superior del  $DiO$ .

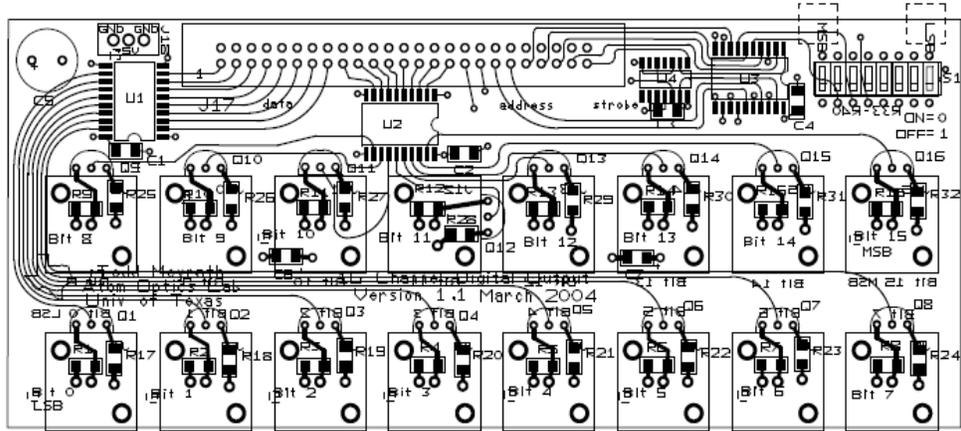


Figura B-10 Impresión de la capa inferior del *DiO*.

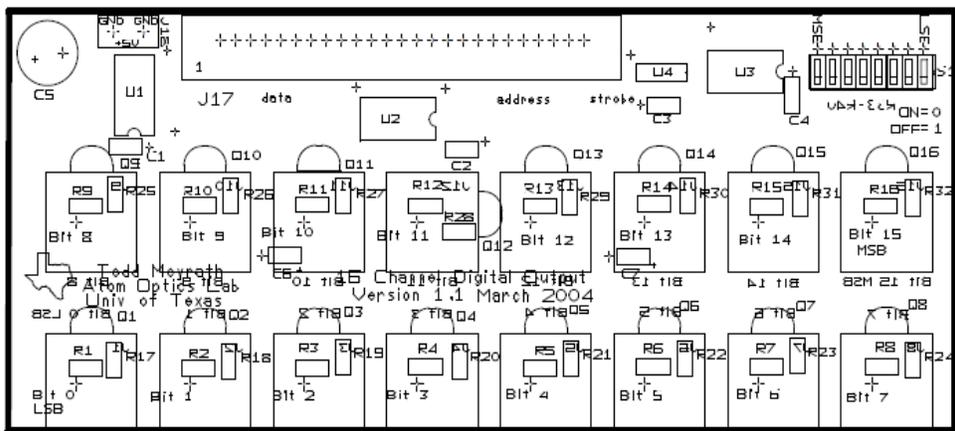


Figura B-11 Impresión de la capa de tierras del *DiO*.

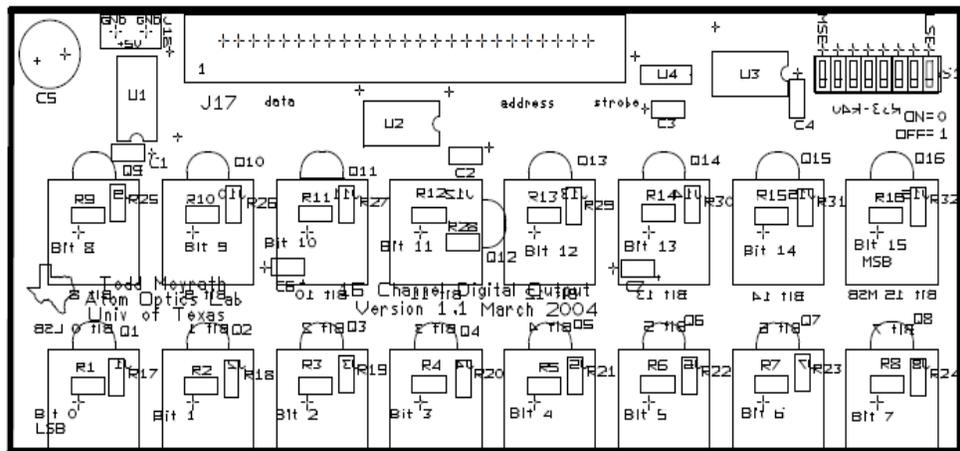


Figura B-12 Impresión de la capa *Vcc* del *DiO*.

# C. COTIZACIONES

---

## C.1 Cotización del *buffer*

En la tabla C.1 se da una cotización del material necesario para la construcción del *buffer*. Es necesario mencionar que algunas componentes electrónicas originales del diseño de *Gerhard Hendl, Florian Schreck y Todd Meyrath*, del *buffer*, fueron cambiados por elementos sustitutos que satisficieran los datos técnicos, ya que algunos elementos están descontinuados.

En total el gasto es aproximadamente: 40 dolares por *buffer*, añadiendo el costo de la impresión del circuito impreso.

## C.2 Cotización del *DiO*

En la tabla C.2 se da una cotización del material necesario para la construcción del *DiO*, es decir 16 salidas digitales. Aquí también se han sustituido algunos componentes electrónicos de los originales del diseño de *Gerhard Hendl, Florian Schreck y Todd Meyrath*, por las mismas razones anteriormente dichas.

En la tabla C.3 presentamos la lista de las componentes del *DiO* junto con sus etiquetas.

En total el gasto es aproximadamente: 50 dolares por *DiO*, añadiendo el costo del circuito impreso.

## C.3 Cotización del *DAC*

En la tabla C.4 se da una cotización del material necesario para la construcción del *DAC*, es decir 8 salidas analógicas. Aquí también se han sustituido algunas componentes electrónicas de los originales del diseño de *Gerhard Hendl, Florian Schreck y Todd Meyrath*.

En total el gasto es aproximadamente: 135 dolares por *DAC*, añadiendo el costo del circuito impreso.

<b>Compañía</b>	<b># Manufactura</b>	<b>Precio</b>
Newark	<i>1PS70SB14</i>	0.109
Newark	<i>5103308-3</i>	1.06
Newark	<i>70543-0001</i>	0.920
Newark	<i>70543-0002</i>	0.910
Newark	<i>3266W-1-202</i>	2.60
Newark	<i>M74HC123B1R</i>	0.219
Newark	<i>L7805ABV</i>	0.345
Newark	<i>1-5103308-0</i>	2.30
Newark	<i>4114R-1-102LF</i>	0.611
Newark	<i>CRCW120610K0FKTA</i>	0.054
Newark	<i>M74HCT541B1R</i>	0.467
Newark	<i>1C10X7R104K100B</i>	0.194
Newark	<i>NE1450-36-ROHS</i>	20.13
Newark	<i>65474-001</i>	0.335

Tabla C.1 Cotizacion del buffer

<b>Compañía</b>	<b># Manufactura</b>	<b>Precio</b>
Newark	<i>2N4401BU</i>	0.050
Newark	<i>1-5103308-0</i>	2.30
Newark	<i>SN74ALS573CDW</i>	0.560
Digikey	<i>T491A106M016AT</i>	0.240
Newark	<i>CRCW120610R0F100</i>	0.054
Newark	<i>CRCW120610K0FKTA</i>	0.054
Newark	<i>SN74LS14D</i>	0.468
Newark	<i>CRCW1206510RFKEA</i>	0.051
Newark	<i>5227222-1</i>	2.24
Newark	<i>70543-0002</i>	0.910
Digikey	<i>CD74HCT688M</i>	0.880
Didikey	<i>SDA08H1BD</i>	1.56

Tabla C.2 Cotizacion del DiO

<b>Nombre</b>	<b>Descripción</b>	<b>No. de Manufactura</b>
<i>C1-C4</i>	Capacitor 100 nF, 1206 pkg.	/
<i>C5</i>	Capacitor Electrolitico 470 $\mu$ F.	/
<i>C6, C7</i>	Capacitor Tantalium 10 $\mu$ F .	<i>T491A106M016AT</i>
<i>U1, U2</i>	Cmpuerta lógica , 20 SOIC.	<i>SN74ALS573CDW</i>
<i>U3</i>	Comparador, 20 SOIC.	<i>CD74HCT688M</i>
<i>U4</i>	Inversor schmitt-trigger, 14 SOIC.	<i>SN74LS14D</i>
<i>Q1-Q16</i>	Transistor NPN, TO 92.	<i>2N4401BU</i>
<i>R1-R16</i>	Resistor 510 $\Omega$ , 1206 pkg.	<i>CRCW1206510RFKEA</i>
<i>R17-R32</i>	Resistor 10 $\Omega$ , 1206 pkg.	<i>CRCW120610R0F100</i>
<i>R33-R40</i>	Resistor 10 k $\Omega$ , 1206 pkg.	<i>CRCW120610K0FKTA</i>
<i>J1-J16</i>	Receptor Vertical BNC.	<i>5227222-1</i>
<i>J17</i>	Conector de 50 pines.	<i>1-5103308-0</i>
<i>J18</i>	Conector vertical de 3 pines.	<i>70543-0002</i>
<i>S1</i>	Switch DIP, 8 posiciones.	<i>SDA08H1BD</i>

Tabla C.3 Componentes del DiO

<b>Compañía</b>	<b># Manufactura</b>	<b>Precio</b>
Newark	<i>031-5431-10RFX</i>	2.94
Newark	<i>70553-0003</i>	1.06
Newark	<i>70553-0002</i>	1.05
Newark	<i>SDA06H1BD</i>	0.989
Newark	<i>1-5103308-0</i>	2.30
Newark	<i>CRCW120610K0FKTA</i>	0.054
Newark	<i>CRCW1206100RFKEA</i>	0.051
Newark	<i>CRCW12061K00FKTA</i>	0.054
Newark	<i>CRCW120610R0F100</i>	0.054
Newark	<i>SN74LS14D</i>	0.468
Newark	<i>SN74LS00D</i>	0.540
Newark	<i>BLM31AF700SN1L</i>	0.224
Didikey	<i>BUF634P</i>	6.080
Newark	<i>CD74HCT688M</i>	0.293
Newark	<i>OPA2234U</i>	4.92
Digikey	<i>LT1019CS8-10</i>	9.300
Digikey	<i>DAC7744EB</i>	53.40
Digikey	<i>CC1206KRX7R9BB222</i>	0.10900
Digikey	<i>EXC-ELSA35</i>	0.12700
Digikey	<i>T491A106M016AT</i>	0.240
Newark	<i>FCP1206H103J-H2</i>	0.088
Newark	<i>477CKE025M</i>	0.296
Digikey	<i>OPA227UA</i>	2.570
Digikey	<i>INA105KU</i>	6.180
Allied	<i>C1206C104K5RACTU</i>	0.058
Allied	<i>C1206C121J5GACTU</i>	0.35
Newark	<i>50-57-9404</i>	0.430
Newark	<i>50-57-9403</i>	0.310
Newark	<i>16-02-0102</i>	0.068

Tabla C.4 Cotizacion del DAC

<b>Etiqueta</b>	<b>Descripción</b>	<b>No. de Manufactura</b>
<i>J1-J8</i>	Conector Coaxial <i>BNC</i>	<i>031-5431-10RFX</i>
<i>J11</i>	Conector de 4 pines	<i>70553-0003</i>
<i>J10</i>	Conector de 3 pines	<i>70553-0002</i>
<i>S1</i>	Dip Switch, 12 <i>DIP</i> , 6 Posiciones	<i>SDA06H1BD</i>
<i>J9</i>	Header 25 × 2	<i>1-5103308-0</i>
<i>R52-R57,</i> <i>R58-R65</i>	Resistor 1206 pkg, 10 kΩ	<i>CRCW120610K0FKTA</i>
<i>R1-R8,</i> <i>R47-R50</i>	Resistor 1206 pkg, 100 Ω	<i>CRCW1206100RFKEA</i>
<i>R9-R16,</i> <i>R51</i>	Resistor 1206 pkg, 1 kΩ	<i>CRCW12061K00FKTA</i>
<i>R17-R46</i>	Resistor 1206 pkg, 10 Ω	<i>CRCW120610R0F100</i>
<i>U26</i>	Inversor Schmitt-Trigger 14 <i>SOIC</i>	<i>SN74LS14D</i>
<i>U25</i>	Compuerta lógica <i>NAND</i> 14 <i>SOIC</i>	<i>SN74LS00D</i>
<i>L4-L8</i>	Inductor de Superficie	<i>BLM31AF700SN1L</i>
<i>U1-U8</i>	Buffer 8 <i>DIP</i>	<i>BUF634P</i>
<i>U27</i>	Comparador de 8 Bit 20 <i>SOIC</i>	<i>CD74HCT688M</i>
<i>U23-U24</i>	Amp. Operacional 8 <i>SOIC</i> pkg	<i>OPA2234U</i>
<i>U19-U20</i>	Voltage de Referencia 10 V, 8 <i>SOIC</i>	<i>LT1019CS8-10</i>
<i>U17-U18</i>	<i>DAC</i> Quad 16 Bit 48 <i>SSOP</i> pkg	<i>DAC7744EB</i>
<i>C60-C63</i>	Capacitor 1206 pkg 2.2 nF	<i>CC1206KRX7R9BB222</i>
<i>L1-L3</i>	Radial Ferrite bead	<i>EXC-ELSA35</i>
<i>C1-C32,</i> <i>C36-C37,</i> <i>C40-C51,</i> <i>C64-C67,</i> <i>C73-C74</i>	Capacitor de Tantalio 1206 10 μF	<i>T491A106M016AT</i>
<i>C76-C83</i>	Capacitor de 1206 pkg 10 nF	<i>FCP1206H103J-H2</i>
<i>C74,</i> <i>C76-C77</i>	Capacitor Electrolitico 470 μF	<i>477CKE025M</i>
<i>U9-U16</i>	Amp. Operacional 8 <i>SOIC</i> pkg	<i>OPA227UA</i>
<i>U21-U22</i>	Amp. de ganancia unitaria 8 <i>SOIC</i>	<i>INA105KU</i>
<i>C33-C34,</i> <i>C38-C39,</i> <i>C71-C72,</i> <i>C78-C79,</i> <i>C84-C99,</i> <i>C68-C70</i>	Capacitor 1206 pkg 100 nF	<i>C1206C104K5RACTU</i>
<i>C75</i>	Capacitor 1206 pkg 120 pF	<i>C1206C121J5GACTU</i>
	Conector Hembra de 4 Contactos	<i>50-57-9404</i>
	Conector Hembra de 3 Contactos	<i>50-57-9403</i>
	Crimps para los Conectores	<i>16-02-0102</i>

Tabla C.5 Componentes del DAC



## D. ETIQUETAS DE REFERENCIA DEL *DAC7744*

---

### D.1 Etiquetas de referencia

Pin	Nombre	Descripción
1 – 16	<i>DB15-DB10</i>	Bit de Dato 15 – 0
17	<i>RSTSEL</i>	Selecciona el nivel de voltaje de inicio del <i>DAC</i> , a través de la acción del comando <i>RST</i> . Si está en <i>ALTO</i> , se inicializa en $-10$ V. Si está en <i>BAJO</i> , se inicializa en 0 V.
18	<i>RST</i>	Genera el cambio de los valores de voltaje de inicio del <i>DAC</i> , según el estado de <i>RSTSEL</i>
19	<i>LOADDACs</i>	Carga las salidas del <i>DAC</i> cuando recibe la señal de trigger.
20	$R/\overline{W}$	Es activado por el comando $\overline{CS}$ , y se encarga de leer o escribir los datos de entrada.
21	<i>A1</i>	Es activado por el comando $\overline{CS}$ , y en combinación con <i>A0</i> seleccionan la entrada individual del <i>DAC</i> .
22	<i>A0</i>	Es activado por el comando $\overline{CS}$ , y en combinación con <i>A1</i> seleccionan la entrada individual del <i>DAC</i>
23	$\overline{CS}$	Selecciona al chip, cuando recibe <i>BAJO</i> .
24	<i>DGND</i>	Tierra digital.

<b>Pin</b>	<b>Nombre</b>	<b>Descripción</b>
25	$V_{DD}$	Fuente de poder positiva.
26	$V_{CC}$	Fuente de poder positiva.
27	$AGND$	Tierra analogica.
28	$V_{SS}$	Fuente de poder negativa
29	$V_{OUTD}$	Salida de voltaje $D$ del $DAC$
30	$Sensor V_{OUTD}$	Salida $D$ del $DAC$ amplificada con entrada invertida. Se utiliza para cerrar el ciclo en la lectura de voltaje.
31	$Sensor V_{REFL CD}$	Sensores de entrada de referencia $BAJO$ para los canales $C$ y $D$ del $DAC$
32	$V_{REFL CD}$	Voltaje de entrada de referencia $BAJO$ para los canales $C$ y $D$ del $DAC$
33	$V_{REFH CD}$	Voltaje de entrada de referencia $ALTO$ para los canales $C$ y $D$ del $DAC$
34	$Sensor V_{REFH CD}$	Sensores de entrada de referencia $ALTO$ para los canales $C$ y $D$ del $DAC$
35	$V_{OUTC}$	Salida de voltaje $C$ del $DAC$
36	$Sensor V_{OUTC}$	Salida $C$ del $DAC$ amplificada con entrada invertida. Se utiliza para cerrar el ciclo en la lectura de voltaje.
37	$V_{OUTB}$	Salida de voltaje $B$ del $DAC$
38	$Sensor V_{OUTB}$	Salida $B$ del $DAC$ amplificada con entrada invertida. Se utiliza para cerrar el ciclo en la lectura de voltaje.
39	$Sensor V_{REFH AB}$	Sensores de entrada de referencia $ALTO$ para los canales $A$ y $B$ del $DAC$
40	$V_{REFH AB}$	Voltaje de entrada de referencia $ALTO$ para los canales $A$ y $B$ del $DAC$
41	$V_{REFL AB}$	Voltaje de entrada de referencia $BAJO$ para los canales $A$ y $B$ del $DAC$
42	$Sensor V_{REFL AB}$	Sensores de entrada de referencia $BAJO$ para los canales $A$ y $B$ del $DAC$
43	$V_{OUTA}$	Salida de voltaje $A$ del $DAC$
44	$Sensor V_{OUTA}$	Salida $A$ del $DAC$ amplificada con entrada invertida. Se utiliza para cerrar el ciclo en la lectura de voltaje.

Tabla D.1 Especificaciones dell DAC7744